

最初にお断り

- 本講座の目的はアナログ回路の設計合否判定で重要となる ばらつき/設計歩留まり検証を行う際のポイントを実習で学ぶことです。
- 本講師はEDA(設計自動化)を得意としており、アナログ回路設計の専門家ではありません。講座中で使用している オペアンプ の設計上の知見は詳しくありませんので、ご容赦下さい。
- 本講座で使用するMOSTランジスタモデルは下記カリフォルニア大学バークレイ校のWebサイトから入手したもので、ゲート長 100[nm] の架空のもので、シミュレーション実験には十分使えると考えます。

<http://bsim.berkeley.edu/models/bsim3/>

アナログでは L 大 \Rightarrow W 大 & C_{ox} 大で g_m 大

$$g_m = \partial I_d / \partial V_{gs} = \sqrt{2I_{d0} \mu C_{ox} W / L}$$

実習で学ぶ

アナログLSI回路の設計歩留まり検証技術

サクセス インターナショナル 株式会社

<https://www.success-int.co.jp/>

<https://www.success-int.co.jp/ogawa-kimihiro/>

講師: 小川 公裕

kimihiro.ogawa_si@fc4.so-net.ne.jp

実習で学ぶ

アナログLSI回路の設計歩留まり検証技術

- 多くのアナログ回路設計部署では回路の合否判定(サインオフ)を行う際、デジタルで行われている方法を踏襲しているケースが多いと思われます。
- デジタルでは PMOS/NMOS の I_{ds} 特性ばらつきに対して、Fast(I_{ds} 大)、Slow(I_{ds} 小) というコーナーを設定し、コーナーでの歩留まり 3σ が確保出来る設計基準を設定しています。
- しかしながら、アナログ回路の特性は I_{ds} の大小だけで推し量れるものではなく、ゲイン、スリューレート、フェーズマージン、インピーダンス、ノイズ 等々多種多様な特性のばらつきを見る必要があり、特性によっては Fast、Slow コーナーでの検証が全く意味をなさないことも多々あります。
- 本講座ではデジタル流のサインオフがアナログに適さない事を例題を通して体験し、アナログで行うべき検証方法を提案します。アナログ回路の正しい検証方法の実践に向かっての一助になればと考えています。

目次

1. 統計用語復習	Page
2. 設計歩留まり検証とは	004
3. アナログ設計歩留まり検証の考え方	022
4. シミュレーション実習と解説	040
1. 実習: 乱数の生成と統計処理	063
2. 実習: MOS のばらつき特性	079
1. ゲート長 100n [m] P+L @ 2V、27°C	104
2. ゲート長 500n [m] P+L @ 2V、27°C	111
3. ゲート長 500n [m] G+L@VT	119
3. オペアンプ回路例での実験	127
1. 実習: OPamp Transient MC	130
2. 結果 G+L @VT	155
3. 実習: OPamp AC MC	170
4. 結果 G+L @VT	183
5. 実習: OPamp Noise MC	214
6. 結果 G+L @VT	
5. 市販EDAツールの高度な機能	183
6. まとめ	214



1. 統計用語復習

- Monte Carlo (モンテカルロ) 解析
- 正規分布、ガウス分布、非正規分布
- 平均、分散、標準偏差、モーメント
- 歪度、尖度
- 工程能力
- Percentile と Normal Quantile
- 信頼区間
- 実験計画法



1. 平均、分散、標準偏差、モーメント

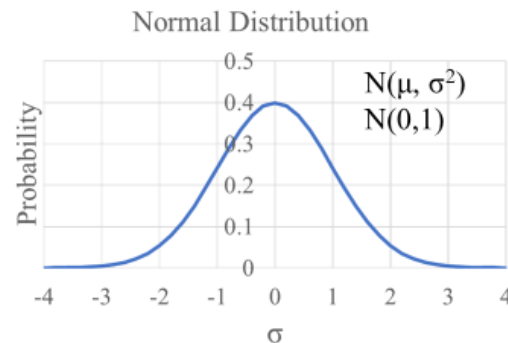
平均 $\mu = \sum_{i=1}^n x_i / n$

平均値周りk次モーメント

$$m^k = \sum_{i=1}^n (x_i - \mu)^k / n$$

分散 $\sigma^2 = m^2 = \sum_{i=1}^n (x_i - \mu)^2 / n$

標準偏差 $\sigma = \sqrt{m^2}$

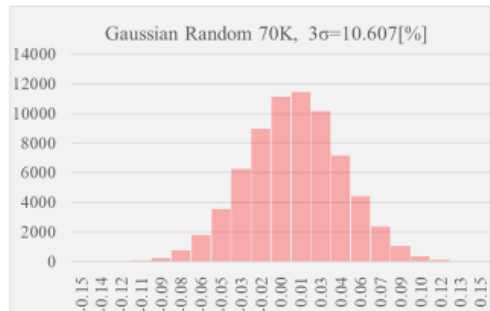


1. 信頼区間と歩留まりの関係

- 信頼区間 95% と言うと、「歩留まりに5%も誤差が出るのか」と短絡的に捉える方がおられますが、そうではありません。
- 以下の例は70K点の乱数に対して、EXCELのConfidence関数で95%信頼区間を求めている。
- 信頼区間は ± 0.000263 で、 $3\sigma_{STD}$ も同程度ブレるとした場合、歩留まりのブレは $\pm 0.003\%$ に過ぎない。

mean	2.00E-04
σ_{STD}	0.0354719
$3\sigma_{STD}$	0.1064156
#Sample	70000
Confidence Interval	0.000263

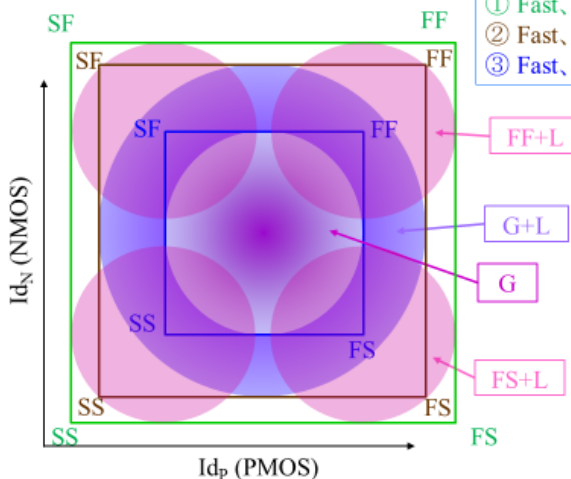
95% Confidence Interval		Yield	Failure
$3\sigma_{STD}-CI$	0.106153	99.859%	0.141%
$3\sigma_{STD}$	0.106416	99.862%	0.138%
$3\sigma_{STD}+CI$	0.106678	99.866%	0.134%



2. MOS 電流のはらつきとコーナーMOSモデル

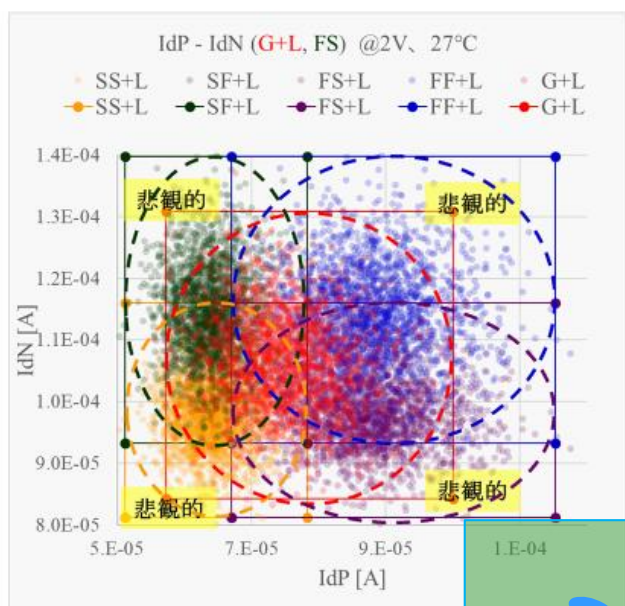
様々な $3\sigma_{NQ}$ コーナー定義 (デジタル視点)

- ① Fast, Slow 最も保守的、悲観的
- ② Fast, Slow MCが使えない場合 妥当
- ③ Fast, Slow 現在主流、+ LocalMC



デジタルからの流れで伝統的に Fast, Slow コーナーが使われているが、G+Lを検証に使うことを推奨。

- 悲観性排除
- 楽観性排除



2. 100nm MOS の IdP-IdN ばらつき @ 2V, 27°C

F: Fast条件 (Id大)
S: Slow条件 (Id小)

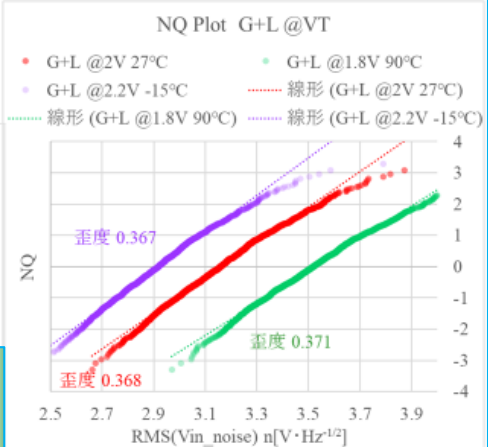
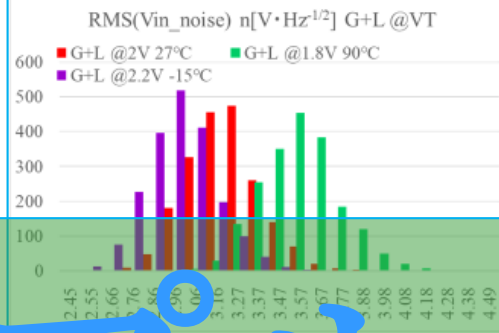
FF+L, FS+L,
SF+L, SS+L
4条件を使った場合
悲観性



サンプリング

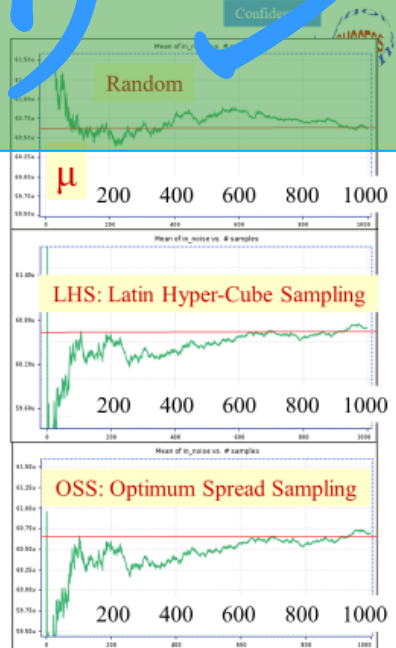
3. OPamp特性分布例 ~ 正規分布には見えない

- RMS Noise の例 左に急峻、右になだらかとなっていて左右非対称
- VTで異なる



3. MCサンプリング手法でサンプル数を削るといふ嘘

- 市販ツールには「少ないサンプル数で正しいMC結果」を謳っているものがある。LHSやOSSと呼ばれるものである。
- これらの手法は乱数生成の早い段階から均一性を持たせる工夫がされている。
- 右に、疑似乱数、LHS、OSS サンプリングでのある特性の平均値 μ の収束の様子を示す。
- 確かに早い段階での落ち着きと言う点では利点があるが、サンプル数がある程度増えて来ると、違いは無くなる。



4-1. 実習: 乱数の生成と統計処理

- EXCEL ヒストグラムの利用 問題点
1. 複数のグラフを同時に描けない
 2. X軸の表記を自由に選択出来ない

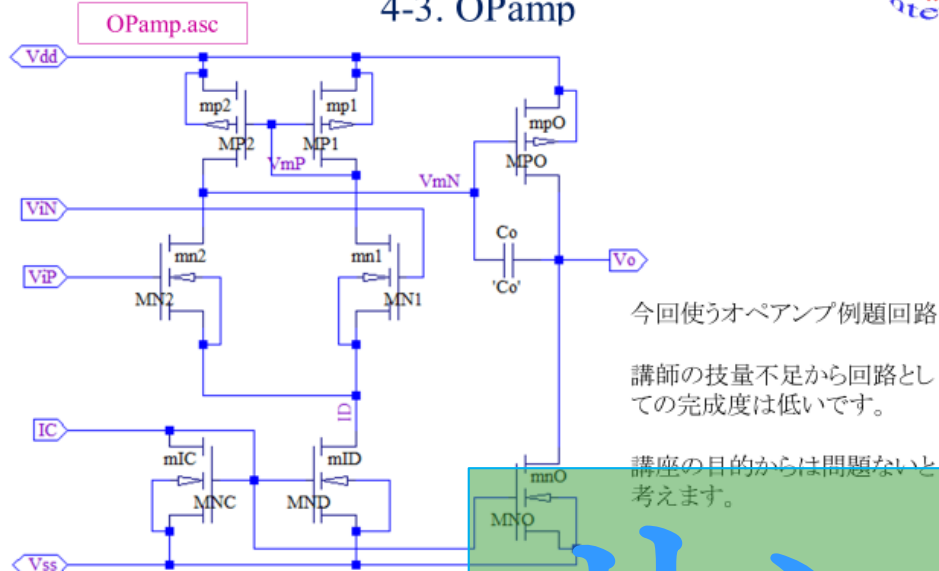
Random 解答.xlsx

ヒストグラム

	3 σ STD ⁺	-9.79E-01	-9.68E-01
6			
7	3 σ STD ⁺	1.01E+00	1.01E+00
8	n	V(Vdd1)	V(Vdd2)
9	0	0.5287	-0.5252
10	1	-0.6086	2.5706
11	2	0.7633	-0.2886
12	3	0.5532	0.7242
13	4	0.2600	-0.2361
14	5	0.1192	1.8542
15	6	-0.2436	-0.7344
16	7	-0.2334	-0.2464
17	8	-0.0289	0.2598
18	9	2.4916	1.1083
19	10	1.6011	1.5204
20	11	0.4785	-0.9796
21	12	-2.0489	-0.6818
22	13	0.1436	-0.5908
23	14	0.6321	0.5918
24	15	-1.0000	0.1017

Histogram

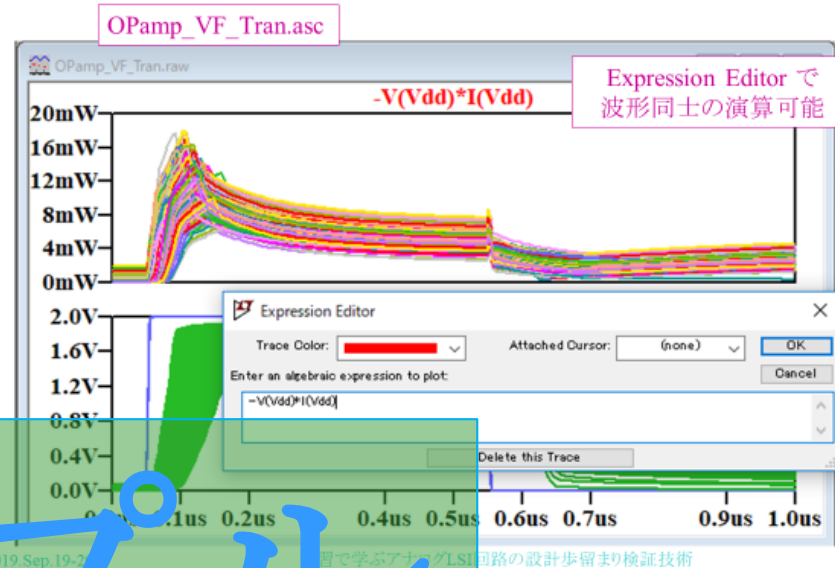
4-3. OPamp



2019.Sep.19-20

実習で学ぶアナログLSI回路の設計歩留まり検証技術

4-3-1. 実習: OPamp Transient MC



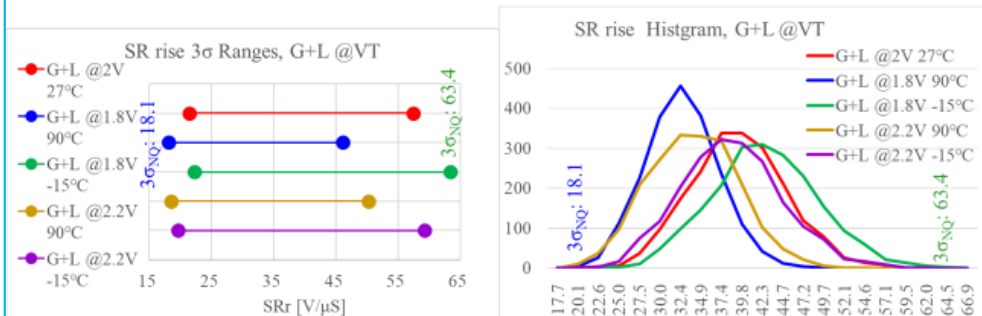
2019.Sep.19-20

実習で学ぶアナログLSI回路の設計歩留まり検証技術

137

4-3-2. OPamp Voltage Follower Transient MC
Slew Rate Rise G+L @VT

- MOS単体では Fast: 2.2V -15°C、Slow: 1.8V 90°C という結論だったが、SR rise のコーナー条件はそう単純ではない。
- SR rise では Slow: 1.8V 90°C、Fast: 1.8V -15°C となっている。これは SR fall と同じ結果。



2019.Sep.19-20

実習で学ぶアナログLSI回路の設計歩留まり検証技術

144

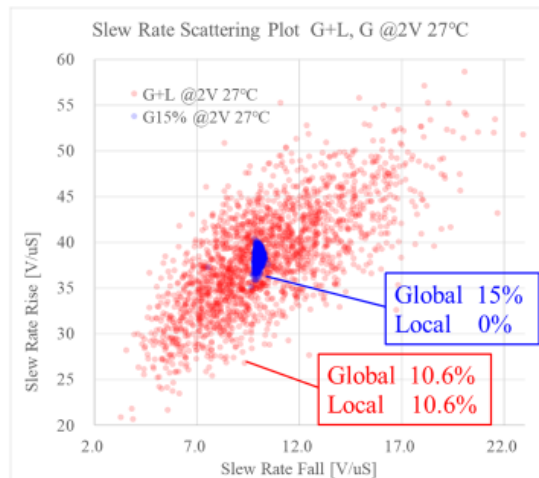
4-3-2. 実習 GlobalMC と LocalMC
Slew Rate Rise/Fall @2V, 27°C

- 作動回路であるため、Global変動よりもLocal変動が大きく効くことが分かる。

OPamp_VF_Tran.asc

このグラフを作ってみましょう
以下の様にMC変動分をglobal3sだけにします。

*** MC Local + Global ***
*.params local3s=0.10607 global3S=0.10607
.params local3s=0 global3S=0.15



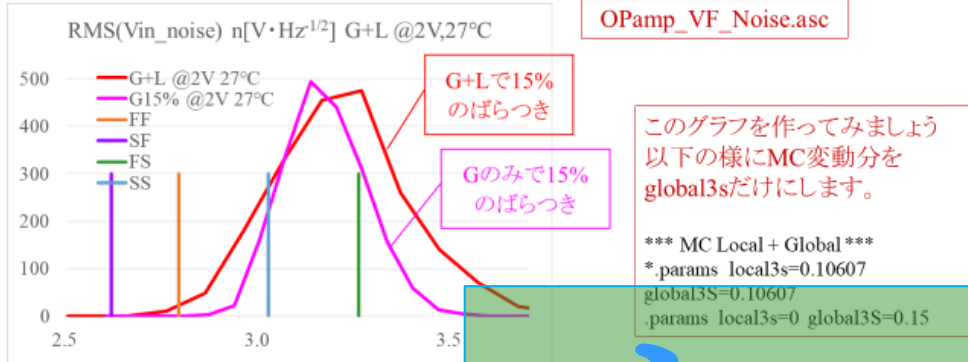
2019.Sep.19-20

実習で学ぶアナログLSI回路の設計歩留まり検証技術

151

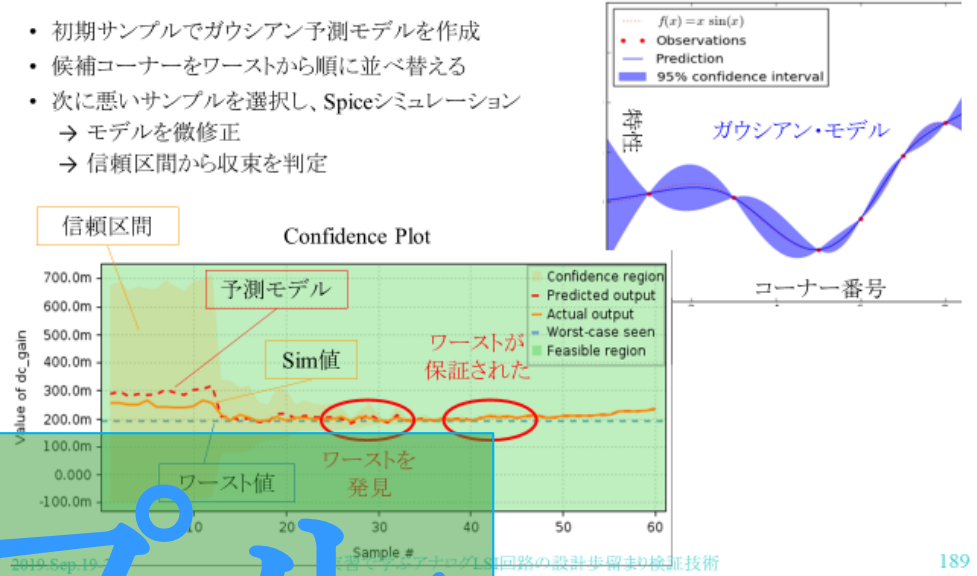
4-3-6.実習 OPamp Voltage Follower Noise MC RMS(Vin) @2V,27°C

- 保守的 SFコーナー以外は意味をなしていない。
- Global 15% よりも G+L (各10.6%) の方が広がり大きい。Localばらつきの影響大と分かる。



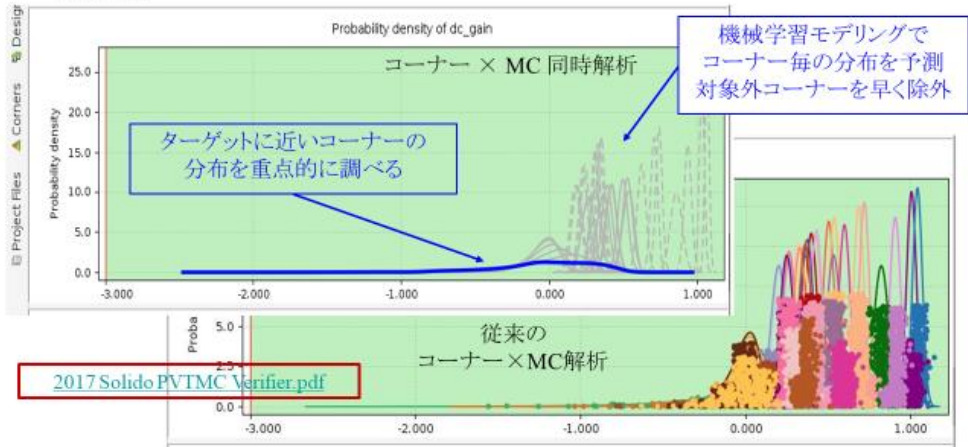
5. 実験計画法によるコーナー解析

- 初期サンプルでガウシアン予測モデルを作成
- 候補コーナーをワーストから順に並べ替える
- 次に悪いサンプルを選択し、Spiceシミュレーション
→ モデルを微修正
→ 信頼区間から収束を判定



5. コーナー × MC 同時解析

- 従来手法で正確な $3\sigma_{NQ}$ ポイントを得るには、コーナー数 × 3000 のシミュレーションが必要
- 市販ツールではコーナーを似た分布のグループに分類し、相違いに速く、しかも $5\sigma_{NQ}$ 程度まで利用可能



5. 階層的MCアレイ構造向き手法

- 発展形として、複数の要素回路をアレイ状に展開したフルチップの歩留まり検証
- チップ全体を $3\sigma_{NQ}$ の歩留まりに仕上げるには、制御ロジック、センスアンプ、ビットセル 夫々異なる単体歩留まりターゲットが必要

$$P^n = 0.99865 \rightarrow P = 0.99865^{1/n}$$

