



MOSアナログLSI回路のサインオフ検証の適正化

サクセス インターナショナル 株式会社

<https://www.success-int.co.jp/>

小川 公裕

[https://www.success-int.co.jp/ogawa-kimihiro/
kimihiro.ogawa_si@fc4.so-net.ne.jp](https://www.success-int.co.jp/ogawa-kimihiro/kimihiro.ogawa_si@fc4.so-net.ne.jp)



MOSアナログLSI回路のサインオフ検証の適正化

目次

1. 概要
2. 統計に関して復習
3. MOSのばらつき, コーナー, 標準偏差とNQ値
4. 単体MOSの I_{ds} ばらつき
5. OPアンプの特性ばらつき
6. アナログサインオフフロー提案
7. まとめ



1. 概要

MOSアナログ回路の設計歩留まりを保証するためのサインオフ検証ではデジタル回路のサインオフとは異なる検証方法が必要な事は以前から知られている。

特にデジタルで使われる Fast/Slow というドレイン電流 I_{ds} の Max/Min だけに着目した基準では正しい検証が出来ない。しかしながら、設計現場ではデジタルと同じ考えでの検証方法が伝統的に使い続けられていて、検証が正しく出来ていないため、結果的にオーバースペック、アンダースペックの問題を起こしていると推測される。

この講演ではその問題点を再確認しあるべき検証の姿を示す。アナログ設計検証改善への一石となることを願っております。

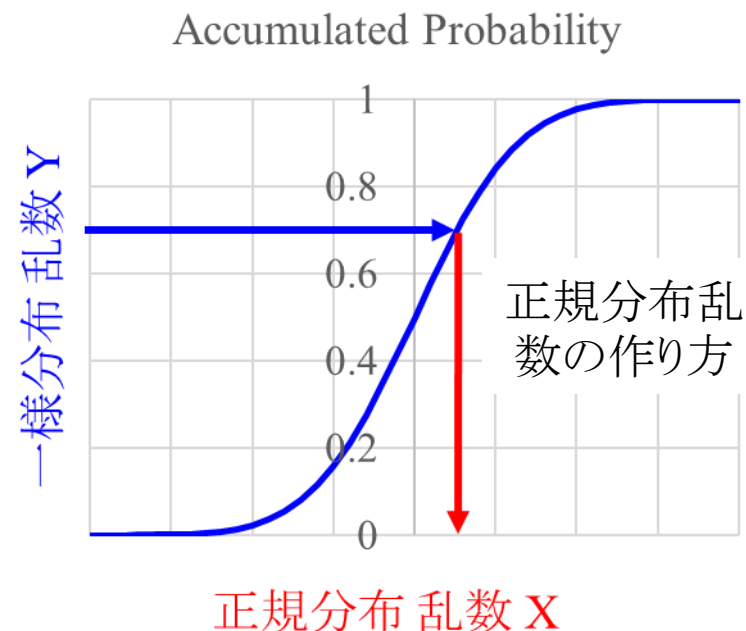


2. 統計に関して復習



2. Monte Carlo (モンテカルロ) 解析

- Monte Carlo 解析
 - ✓ 回路の解析において、特性分布を近似的に求める手法がモンテカルロ法。
n 回シミュレーションを行い、ある特性値が m 回起これば、その特性値の発生確率は m/n で近似される。試行回数が少なければ近似は荒い。
- 擬似乱数列
 - ✓ Spice等を使ってモンテカルロ・シミュレーションを行う際、ばらつき変数に乱数を適用する必要がある。擬似乱数列は初期状態によって数列がすべて決定され「真にランダム」ではないが、繰り返し解析する場合に「再現性」が確保され適している。
- 正規分布する乱数
 - ✓ 一様乱数を標準正規累積密度関数に写像することで得られる。





2. 正規分布

平均を μ , 分散を $\sigma^2 > 0$ とする(1次元)正規分布は、次の確率密度関数(ガウス関数)

$$f(x) = \frac{1}{\sqrt{2\pi\sigma^2}} \exp\left(-\frac{(x-\mu)^2}{2\sigma^2}\right) \quad (x \in \mathbb{R})$$

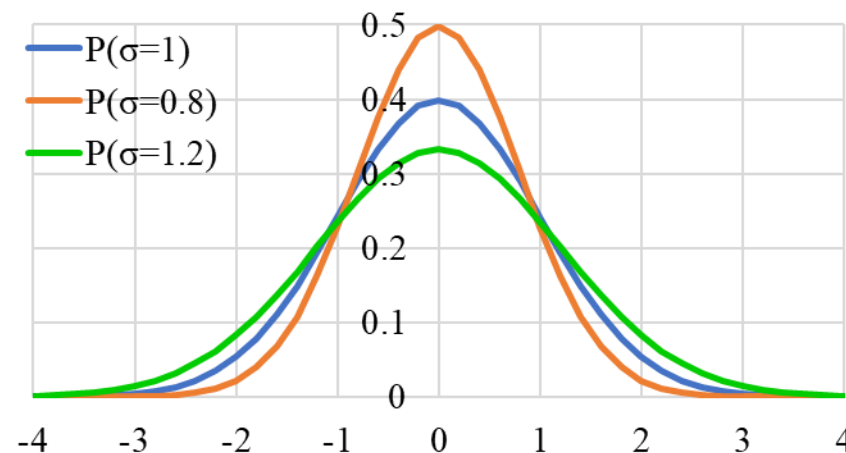
を持つ確率分布。この分布を $N(\mu, \sigma^2)$ と表す。
(Nは“Normal Distribution”の頭文字)。

標準正規分布

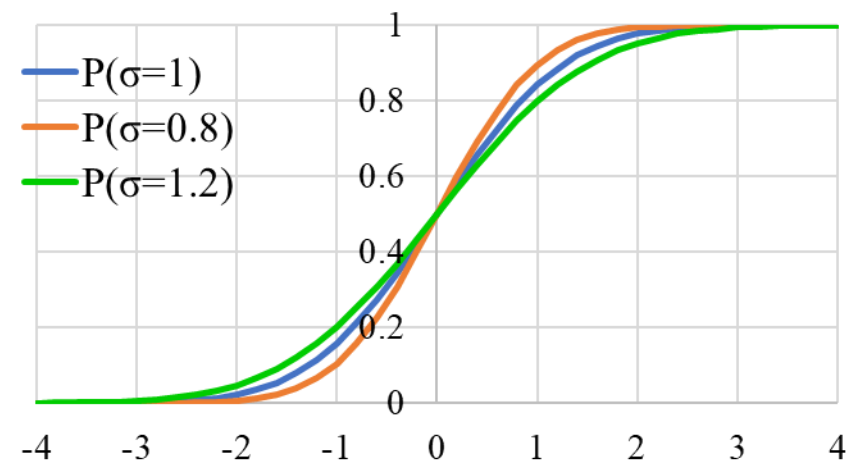
特に $\mu = 0, \sigma^2 = 1$ のとき、標準正規分布。
標準正規分布 $N(0, 1)$ は

$$f(x) = \frac{1}{\sqrt{2\pi}} \exp\left(-\frac{x^2}{2}\right)$$

正規分布



累積密度関数





2. 平均、モーメント、分散、標準偏差、歪度、尖度

平均 $\mu = \sum_{i=1}^n x_i / n$

標準偏差 $\sigma = \sqrt{m^2}$

平均値周り k 次モーメント

3次モーメントから歪度

$$m^k = \sum_{i=1}^n (x_i - \mu)^k / n$$

$$S = m^3 / \sigma^3$$

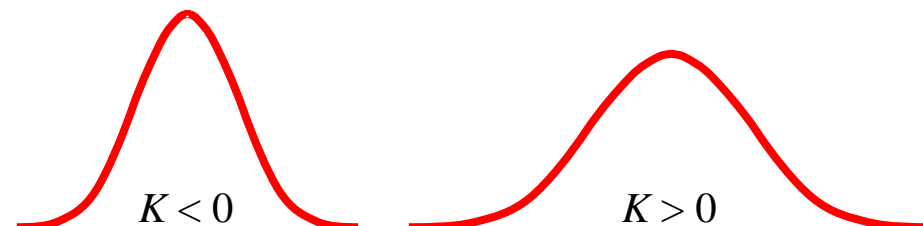
4次モーメントから尖度

分散 $\sigma^2 = m^2 = \sum_{i=1}^n (x_i - \mu)^2 / n$

$$K = m^4 / \sigma^4 - 3$$

歪度 S : ゆがみ、左右の非対称性を見る、大きいほど左右非対称

尖度 K : とがり、大きいほど裾が広がっている (言葉が逆?)
分布の交差の可能性を見る





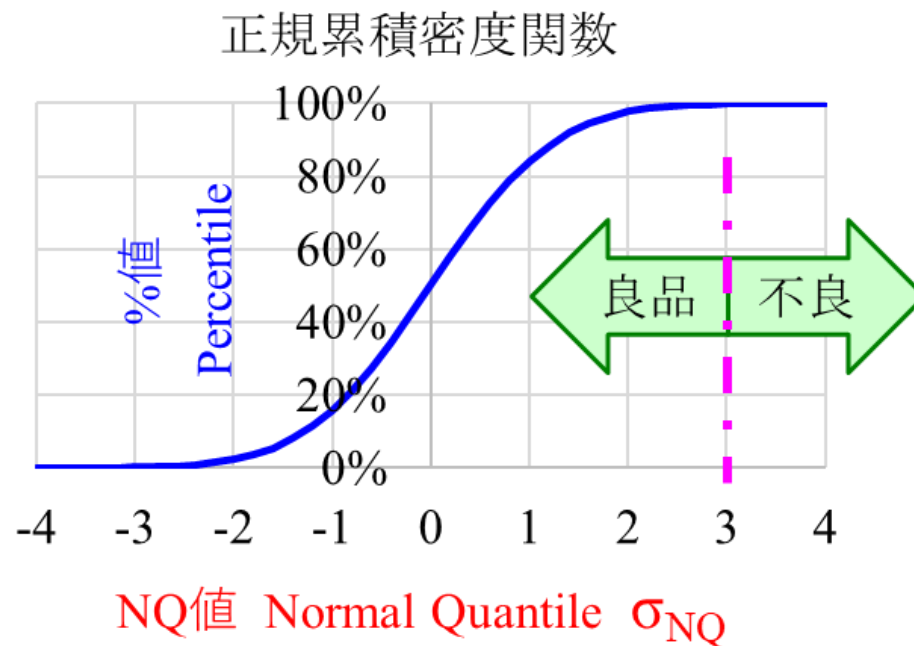
2. Percentile と Normal Quantile

Percentile %累積確率 = 回路の歩留まり

Normal Quantile 正規分布の標準偏差 σ を基準とした確率表示

NQ値と%確率=歩留まり

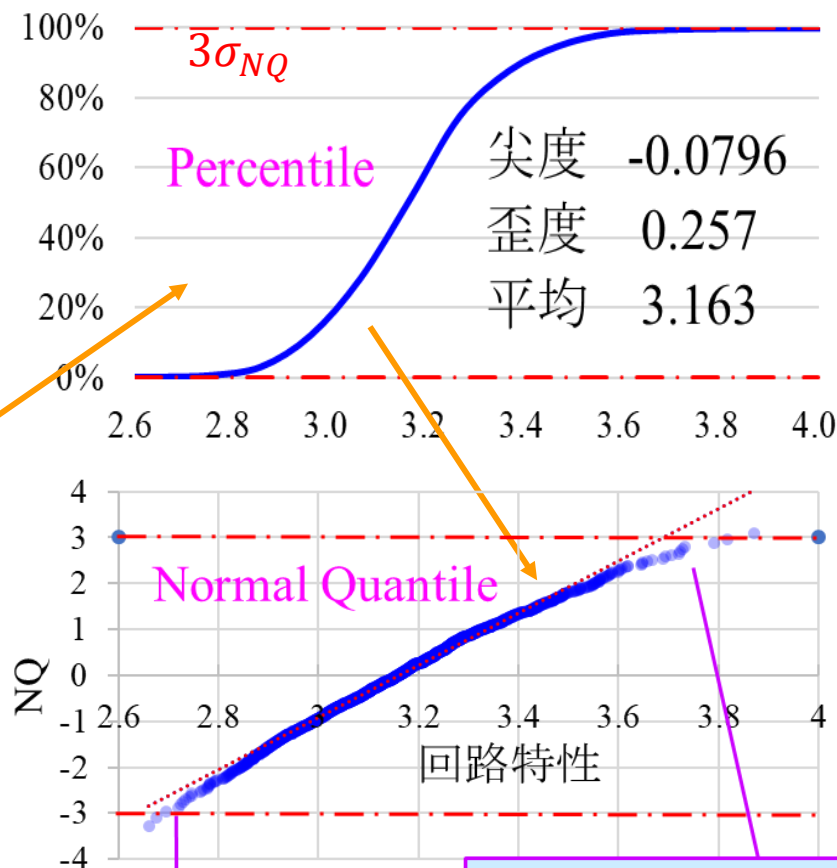
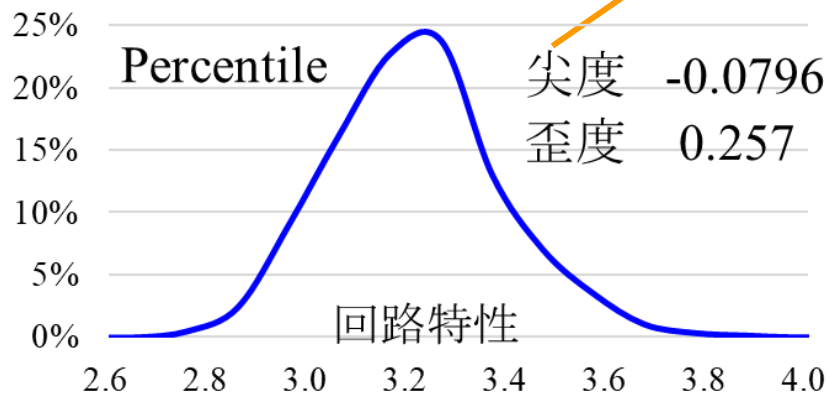
NQ	Percentile
1	84.1344746069%
2	97.7249868052%
3	99.8650101968%
4	99.9968328758%
5	99.9999713348%
6	99.9999999013%



2. %値プロットとNQ値プロット

• NQプロット

- ✓ 対象の確率密度分布と正規分布のずれを直観的に示す。
- ✓ 確率密度を%ではなく、正規分布の σ_{NQ} 値で表示する。
- ✓ 対象が正規分布であれば直線となる。



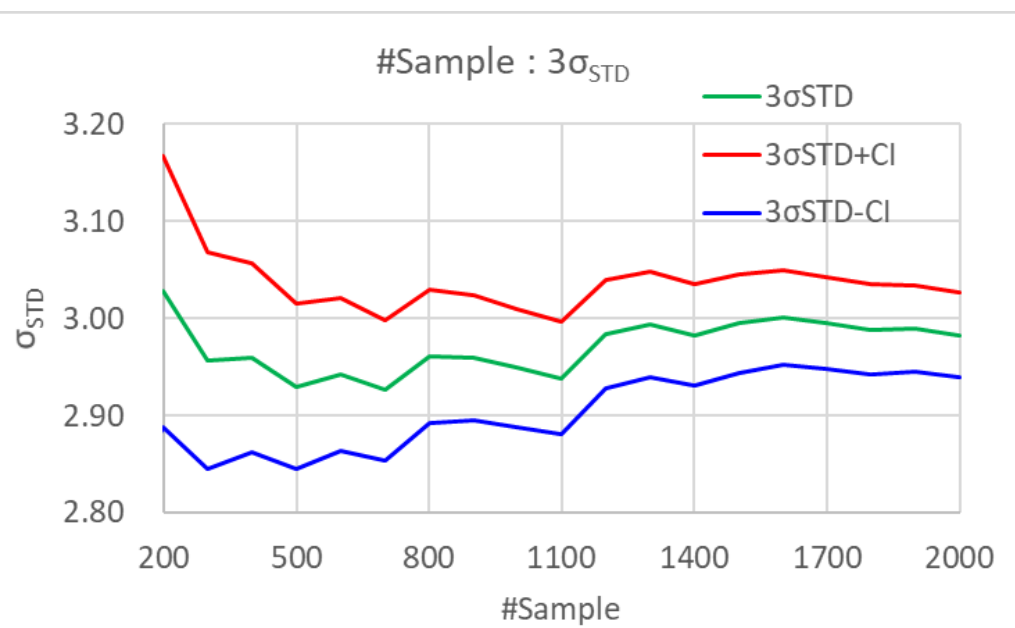
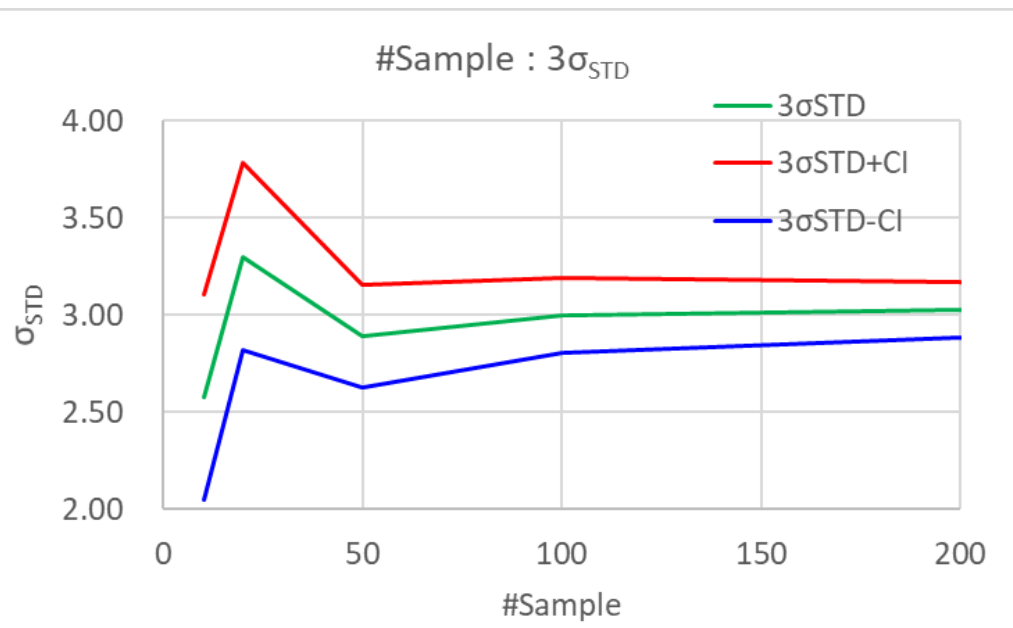
曲線が下にあれば裾が急、上にあれば緩やかなのを示す

曲線が上にあれば裾が急、下にあれば緩やかなのを示す



2. 標準偏差の収束性

- $N(0,1)$ 疑似乱数のサンプル数と $3\sigma_{STD}$ の関係
 - ✓ 設定値の3にはなかなか安定しない
 - ✓ 数100程度のサンプル数では精度が出ないことが分かる





2. MCシミュレーション回数

- $3\sigma_{NQ}$ とは 99.87%、即ち 1482個のMCサンプルにやっと不良2個が見つかる
- $4\sigma_{NQ}$ なら 2個／6万サンプル
- $5\sigma_{NQ}$ なら 2個／700万サンプル
- $6\sigma_{NQ}$ なら 2個／20億サンプル
- このような考察から本発表では $3\sigma_{NQ}$ として2000サンプルを採用

Simで不良が出なければ、歩留まり100%ということになってしまう。

歩留まりの単位

NQ	Percentile	2/(1-Perc.)
1	84.1344746069%	13
2	97.7249868052%	88
3	99.8650101968%	1482
4	99.9968328758%	63149
5	99.9999713348%	6977112
6	99.9999999013%	2027189270

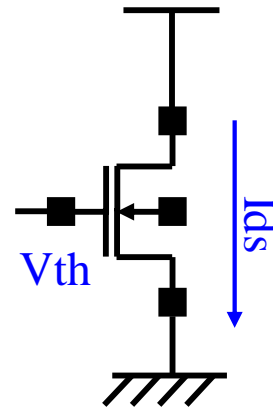
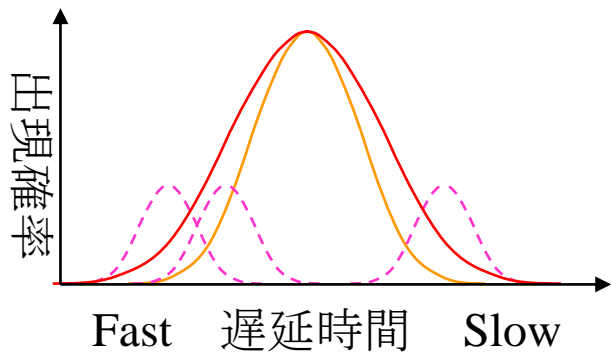
2個の不良を得るためのサンプル数



3. MOSのばらつき, コーナー, 標準偏差とNQ値



3. 製造ばらつき の例 (65nm nMOS Vthばらつき)

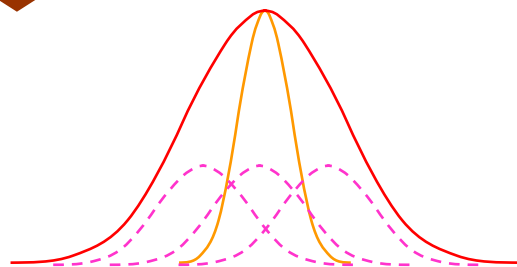


65 nm プロセス

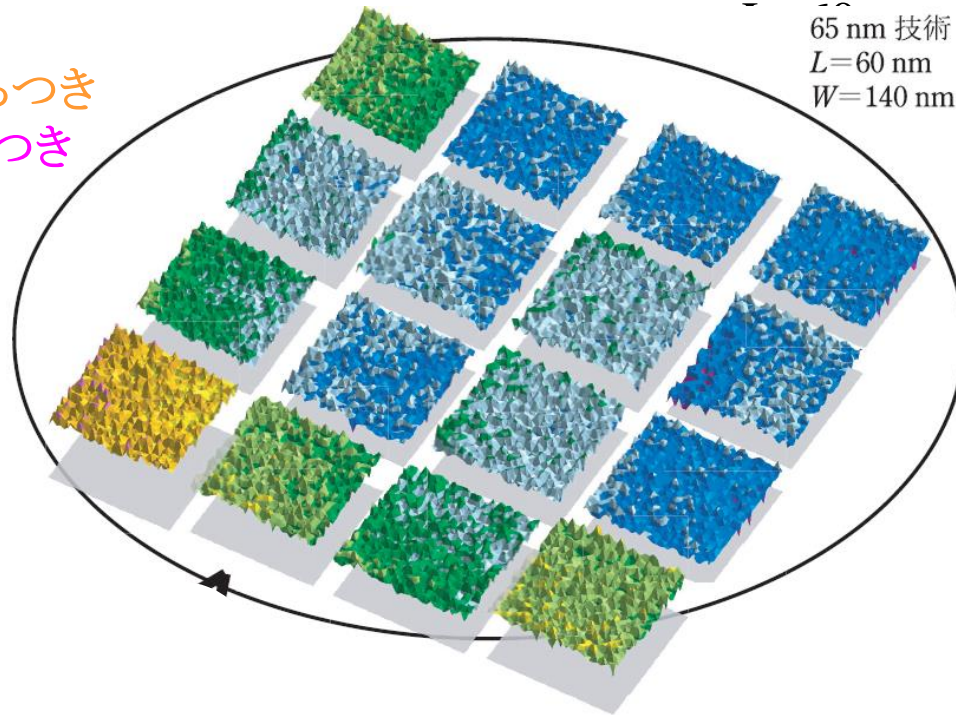
65 nm 技術
L=60 nm
W=140 nm



Global (チップ間) ばらつき
 Local (チップ内) ばらつき
 Total (全) ばらつき



微細化が進むとローカルばらつきが支配的になる



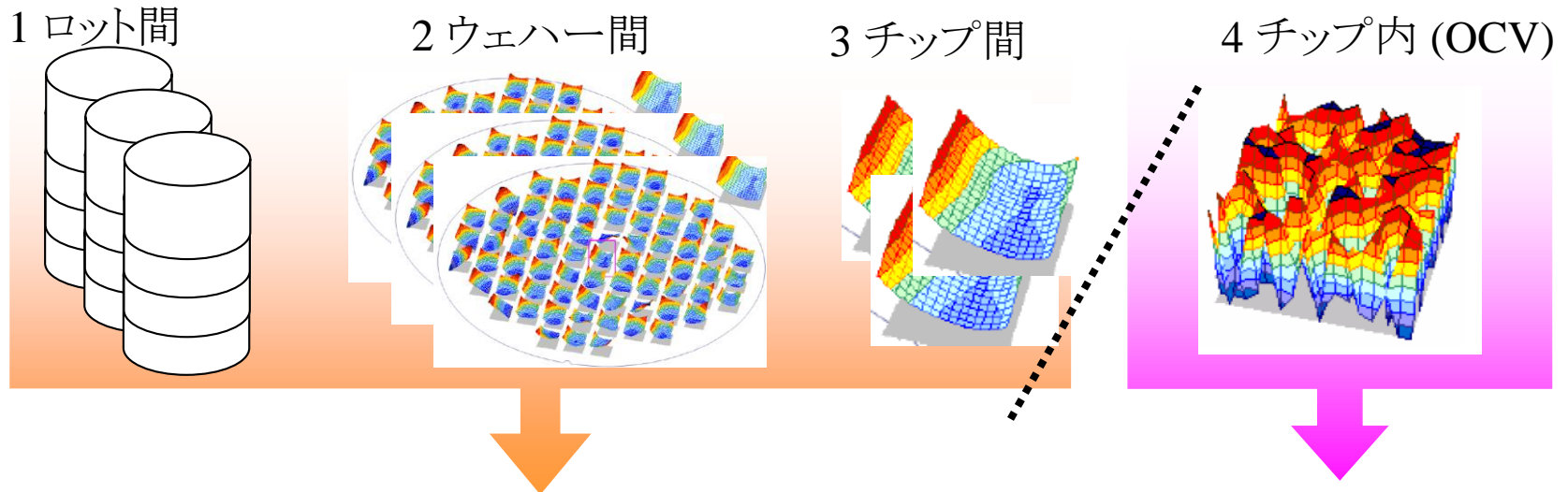
Vthばらつき

- 0.551 ~ 0.555
- 0.547 ~ 0.551
- 0.543 ~ 0.547
- 0.539 ~ 0.543
- 0.535 ~ 0.539
- 0.531 ~ 0.535
- 0.527 ~ 0.531
- 0.523 ~ 0.527
- 0.519 ~ 0.523
- 0.515 ~ 0.519

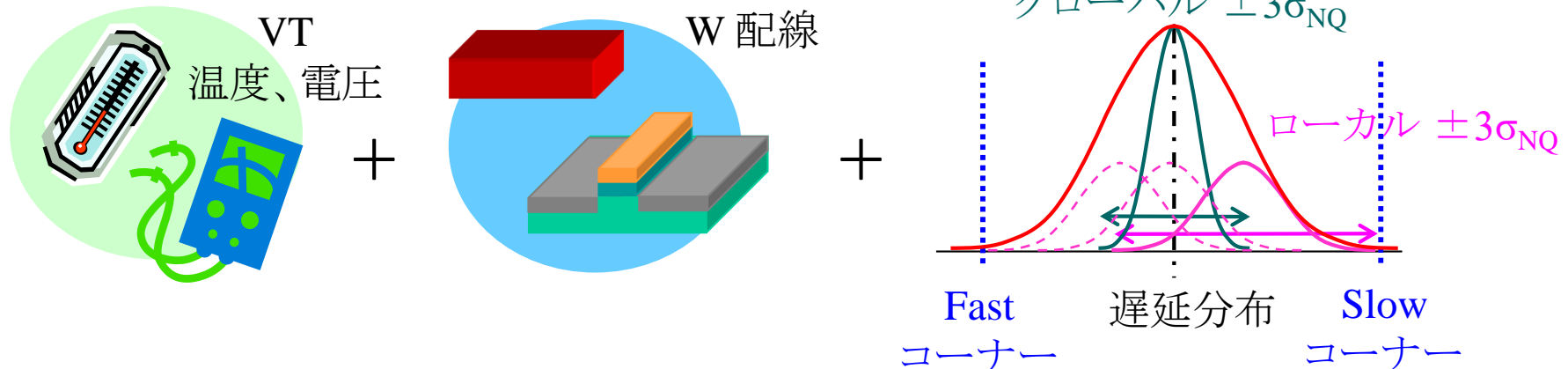
3. PWVTコーナーと遅延ばらつき

P: Process, W: Wire, V: Voltage, T: Temperature

- Pばらつき (MOS電流)



■ WVTのばらつき





3. MOSのプロセスばらつき、コーナーの表現法

この講義中に以下の省略表記を使います

例 SS+L @2V, 27°C、 G+L @VT 等

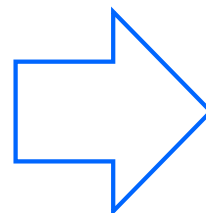
略記	意味
P + L	Global P rocess Corner, L ocal Monte Carlo
TT + L	Global (PMOS: T ypical, N: T ypical) Corner, L ocal MC
SS + L	Global (P: S low, N: S low) Corner, L ocal MC
FF + L	Global (P: F ast, N: F ast) Corner, L ocal MC
SF + L	Global (P: S low, N: F ast) Corner, L ocal MC
FS + L	Global (P: F ast, N: S low) Corner, L ocal MC
G + L	G lobal MC, L ocal MC
@VT	At V oltage and T emperature



3. MOS Ids ばらつきとデジタルコーナー

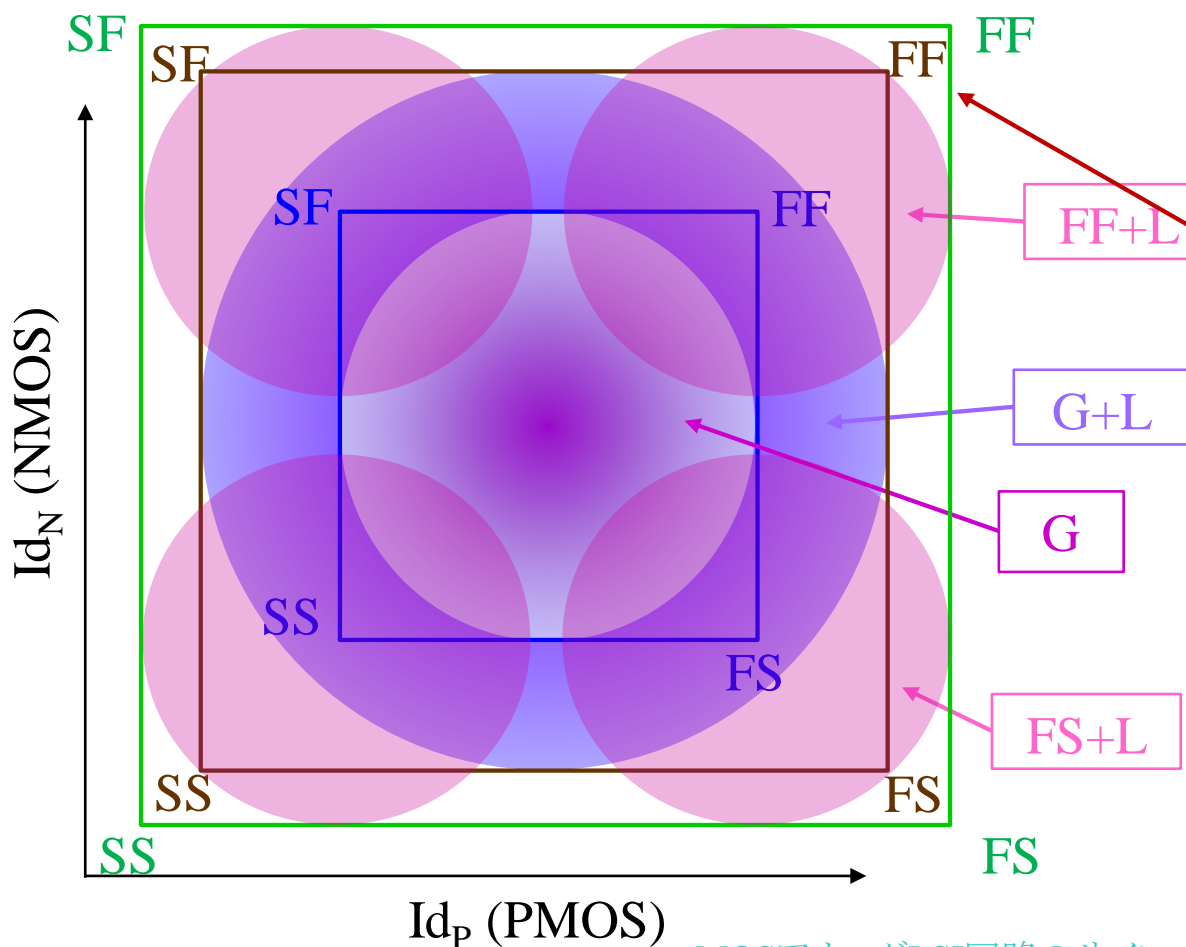
様々な $3\sigma_{NQ}$ コーナー定義

- ① Fast, Slow 最も保守的、悲観的
- ② Fast, Slow MCが使えない場合 妥当
- ③ Fast, Slow + LocalMC が現在主流



伝統的に Fast, Slow コーナーが使われているが、G+Lを検証に使うことを推奨。

- 悲観性排除
- 楽観性排除

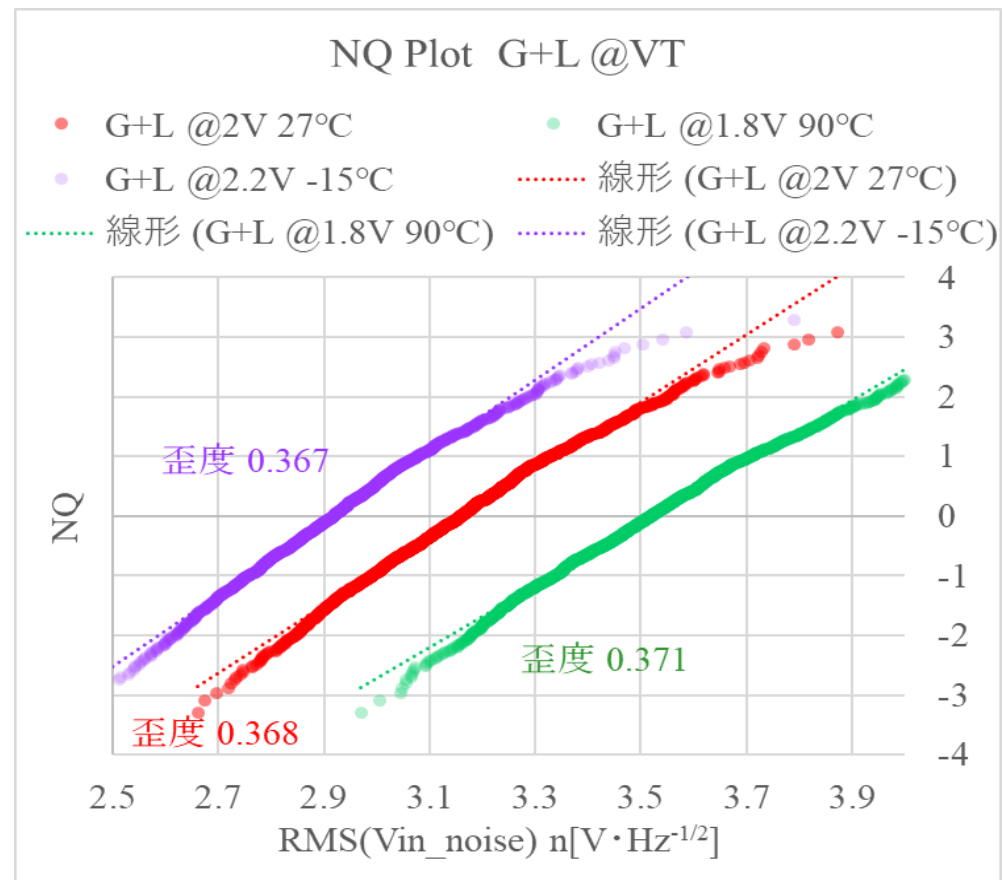
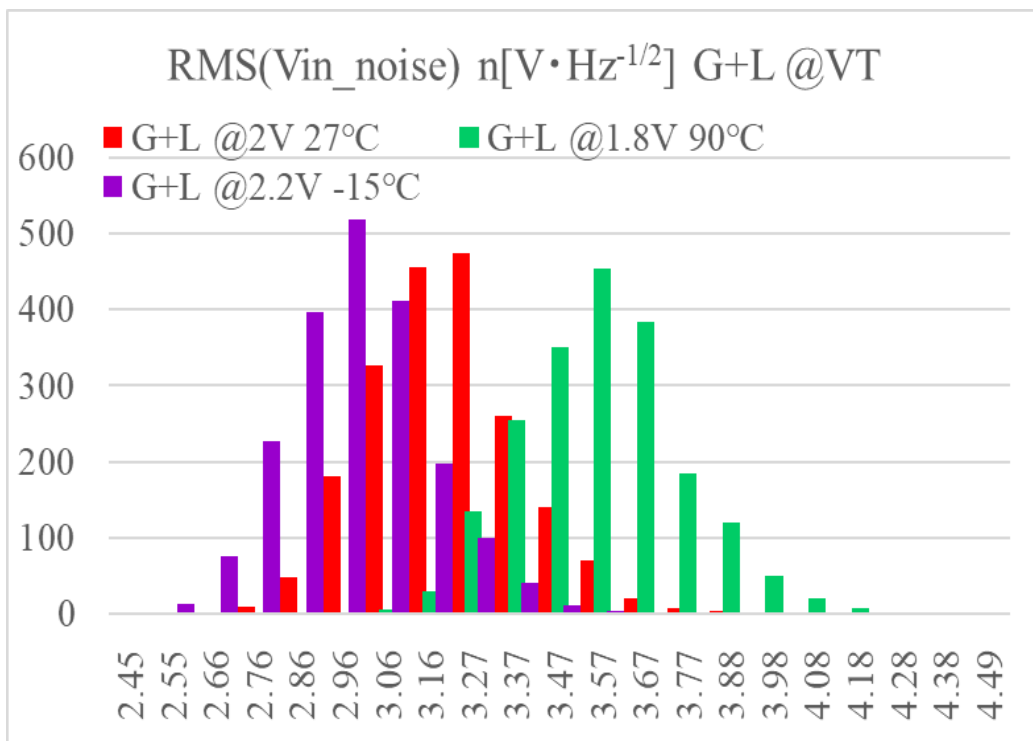


例えばFFコーナー。IdNが $3\sigma_{NQ}$ 外の確率は $0.135\% = 1.35e-3$ 、IdPも $1.35e-3$ 。すると両方同時に外れる確率は $1.82e-6$ で 4.63σ 相当と、とても小さい。



3. 特性分布例

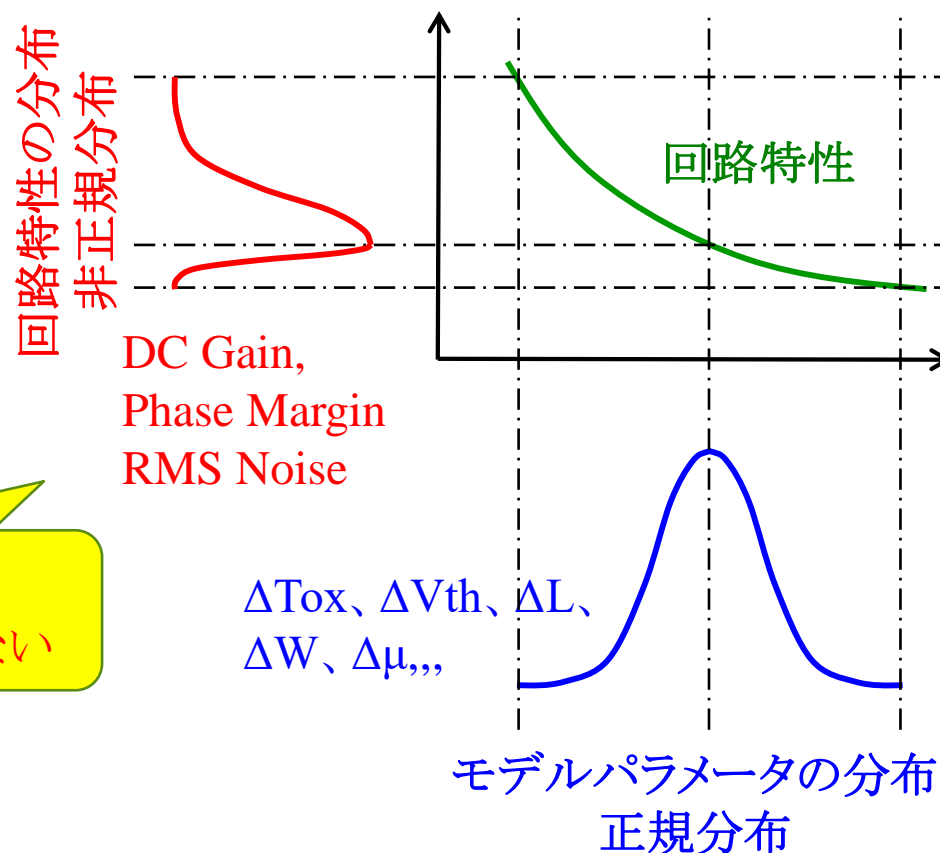
- OPアンプのRMS雑音の特性分布例 G + L MC を異なるVT条件で実施
- 左右非対称で正規分布から外れている





3. アナログ回路特性は非正規分布になり易い

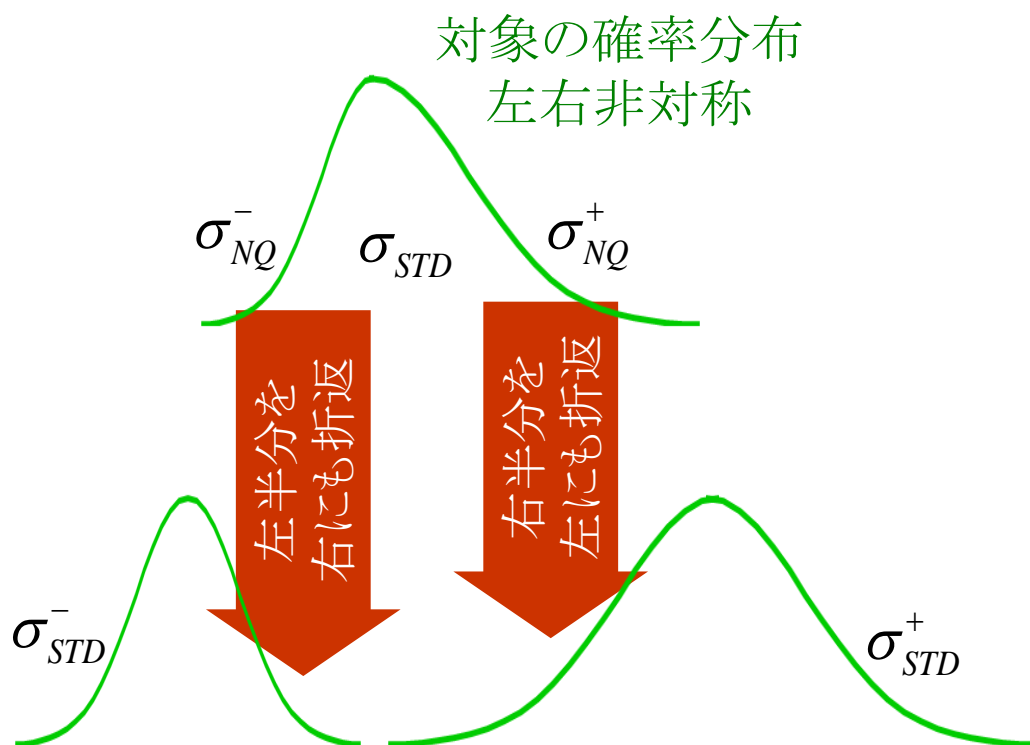
- モデルパラメータ (V_t , T_{ox} 等) と回路特性の関係は一般的に非線形
- モデルパラメータが正規分布でもそれを写像した回路特性分布は歪む



非正規分布なら
 $3\sigma_{STD}=99.87\%$ とはならない

3. σ : $\pm\sigma_{STD}$ 、 $\sigma_{STD}\pm$ 、 $\sigma_{NQ}\pm$ の求め方

分布が非対称の場合の3種類の 3σ 値を比較する



$$\pm 3\sigma_{STD} = \mu \pm 3\sqrt{\frac{\sum_{i=1}^n (x_i - \mu)^2}{n}}$$

$$3\sigma_{STD}^- = \mu - 3\sigma_{STD} \text{ (左半分)}$$

$$3\sigma_{STD}^+ = \mu + 3\sigma_{STD} \text{ (右半分)}$$

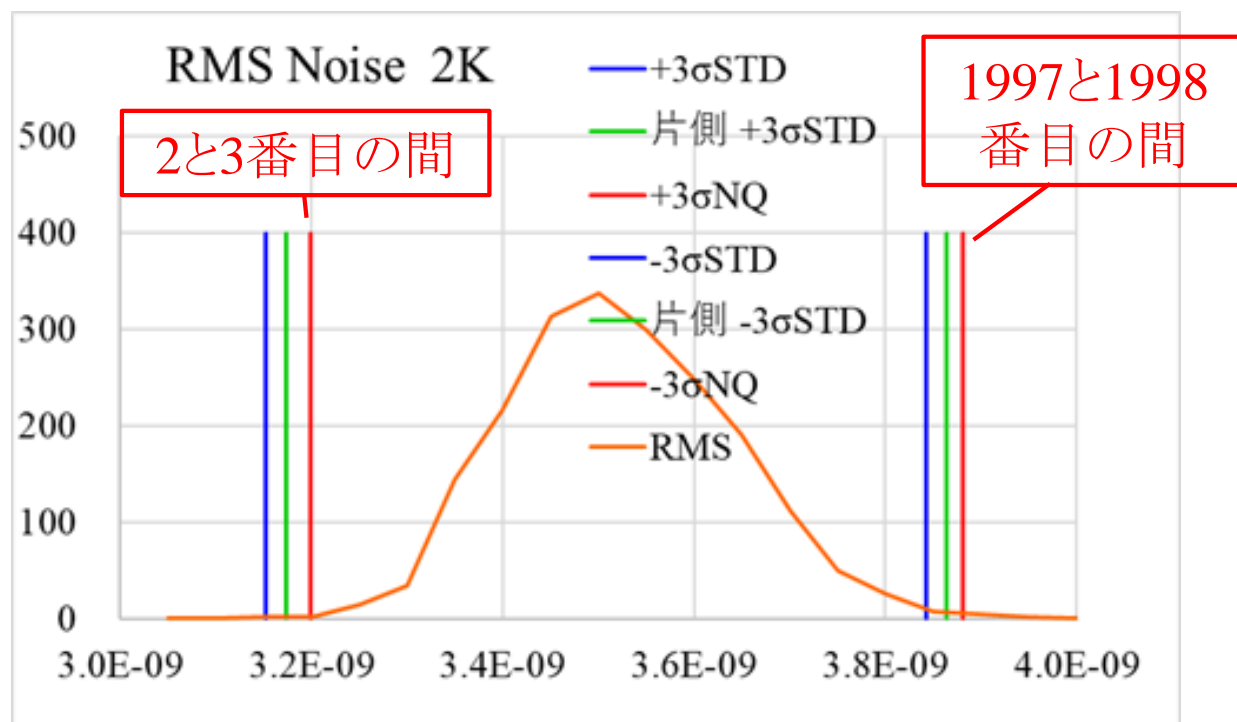
$$3\sigma_{NQ}^- = \text{累積確率(0.13\%)} \text{のポイント}$$

$$3\sigma_{NQ}^+ = \text{累積確率(99.87\%)} \text{のポイント}$$



3. σ : $\pm\sigma_{\text{STD}}$ 、 $\sigma_{\text{STD}}\pm$ 、 $\sigma_{\text{NQ}}\pm$ の違い

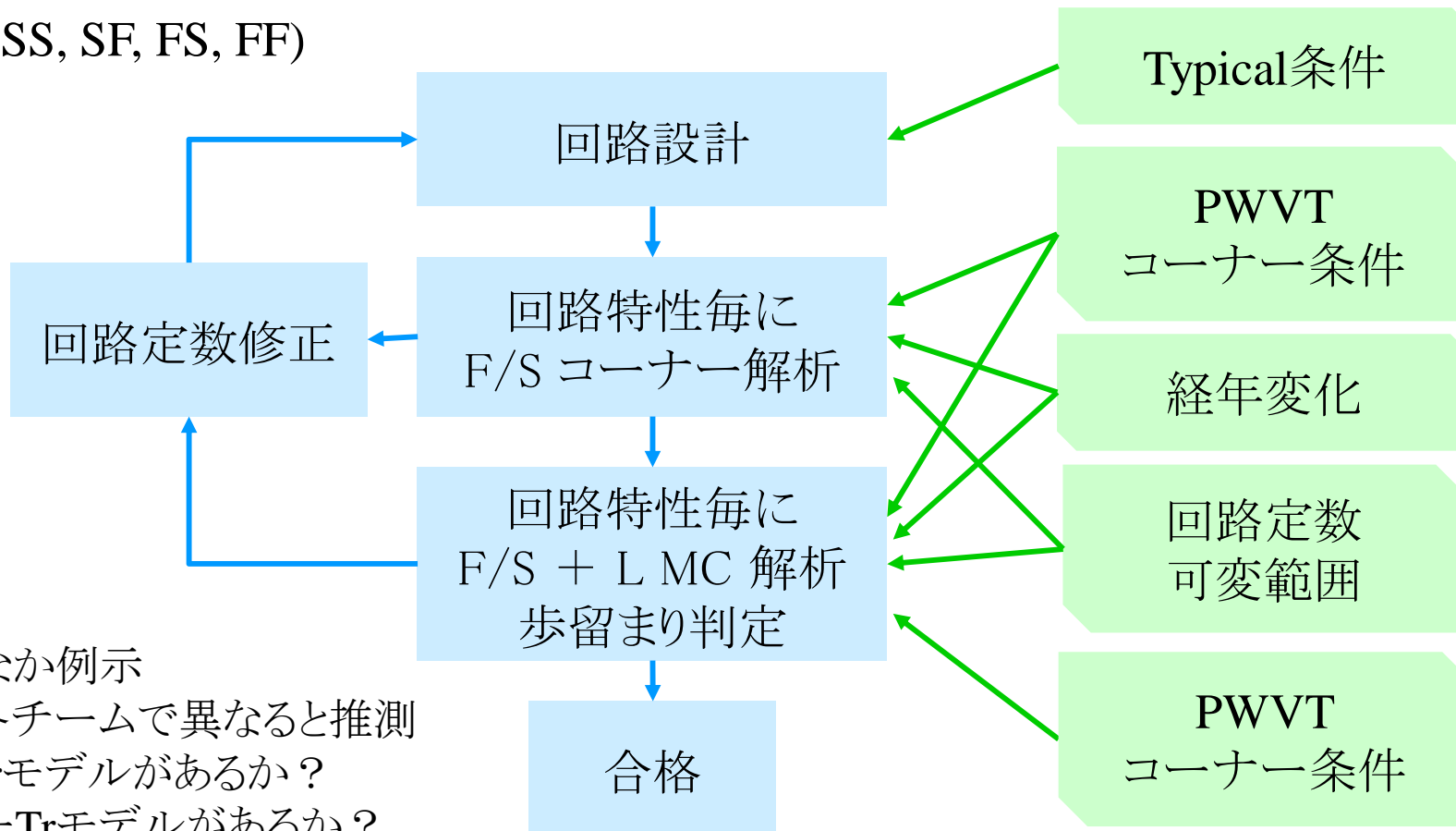
- 非正規分布では σ_{STD} と σ_{NQ} は一致しない
 - ✓ $\pm 3\sigma_{\text{STD}}$ 標準偏差 $\mu \pm 3\sigma_{\text{STD}}$
 - ✓ $3\sigma_{\text{STD}}\pm$ 片側標準偏差 $\mu - 3\sigma_{\text{STD}}^-$, $\mu + 3\sigma_{\text{STD}}^+$
 - ✓ $3\sigma_{\text{NQ}}\pm$ 確率99.87%点 $3\sigma_{\text{NQ}}^-$, $3\sigma_{\text{NQ}}^+$



$3\sigma_{\text{NQ}} = 0.9986501$ なので、
 サンプル数 $N = 2000$ に対して
 $N \cdot 3\sigma_{\text{NQ}} = 1997.3$ つまり $3\sigma_{\text{NQ}}$
 相当ポイントは 1997番目と
 1998番目の間にある。
 これを比例配分すれば良い。
 同様に $-3\sigma_{\text{NQ}}$ 相当ポイント
 は 2番目と3番目の間にある。

3. アナログばらつき解析従来フロー

F/S=(SS, SF, FS, FF)



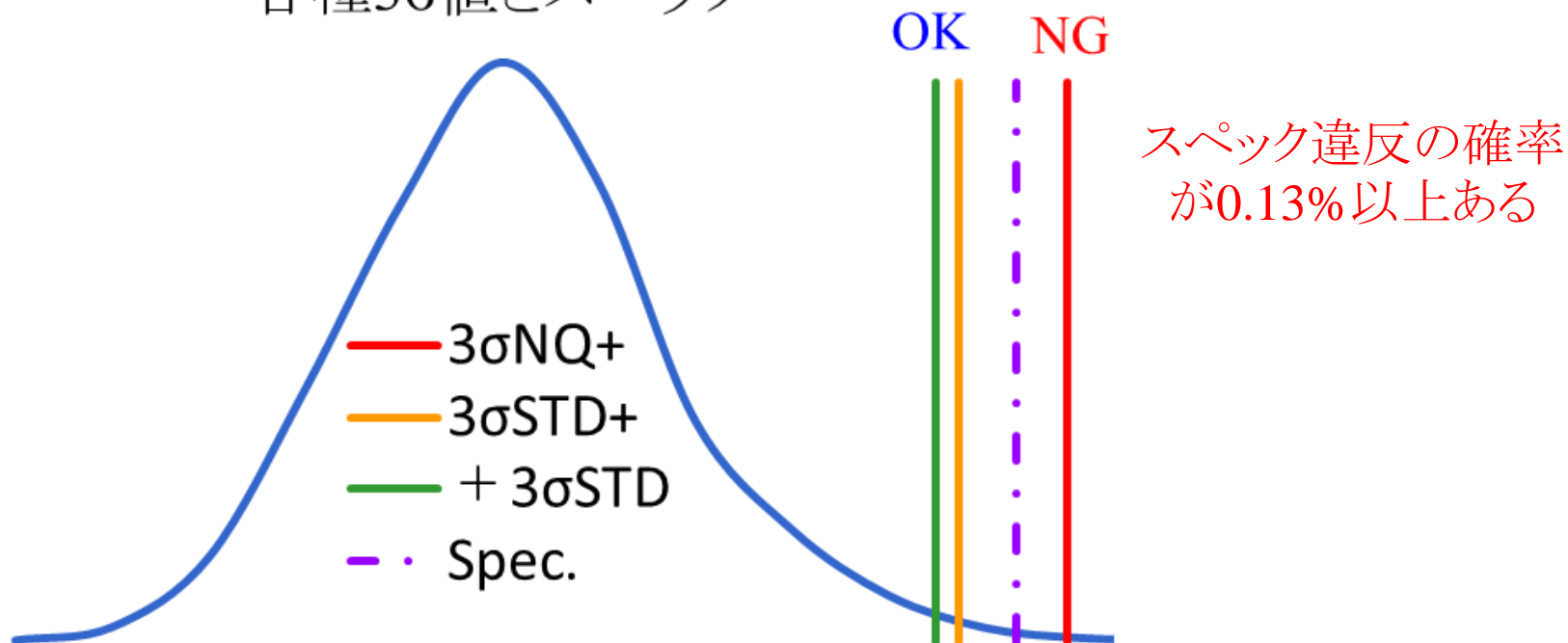
おおまなか例示
 各社、各チームで異なると推測
 MC用Trモデルがあるか？
 コーナーTrモデルがあるか？
 回路スペックはどう決める？
 等々



3. 回路特性合否判定例

- 特性の合否判定はスペック値に対して $3\sigma_{NQ}=99.87\%$ が達成しているか。
- 下の分布例では σ_{STD} 基準では満たしているが、 σ_{NQ} 基準では満たしていない。
- σ_{STD} 基準は過小評価になっている。

各種3 σ 値とスペック





3. 高 σ 複数搭載回路の総合 $3\sigma_{NQ}$ 歩留まり

- 1チップ上に同じ回路が複数個使用されている場合、全体のシミュレーションはコスト大、よって1個のシミュレーションで全体を押し量る
- (メモリー、CMOSセンサー等)、回路100万個全体が $3\sigma_{NQ}$ 歩留まりとは1個当たり $6\sigma_{NQ}$

$\sigma = 1$ 、 $\mu = 0$ (標準正規分布)

AP: 累積確率

$$AP(m\sigma)^n = AP(3\sigma)$$

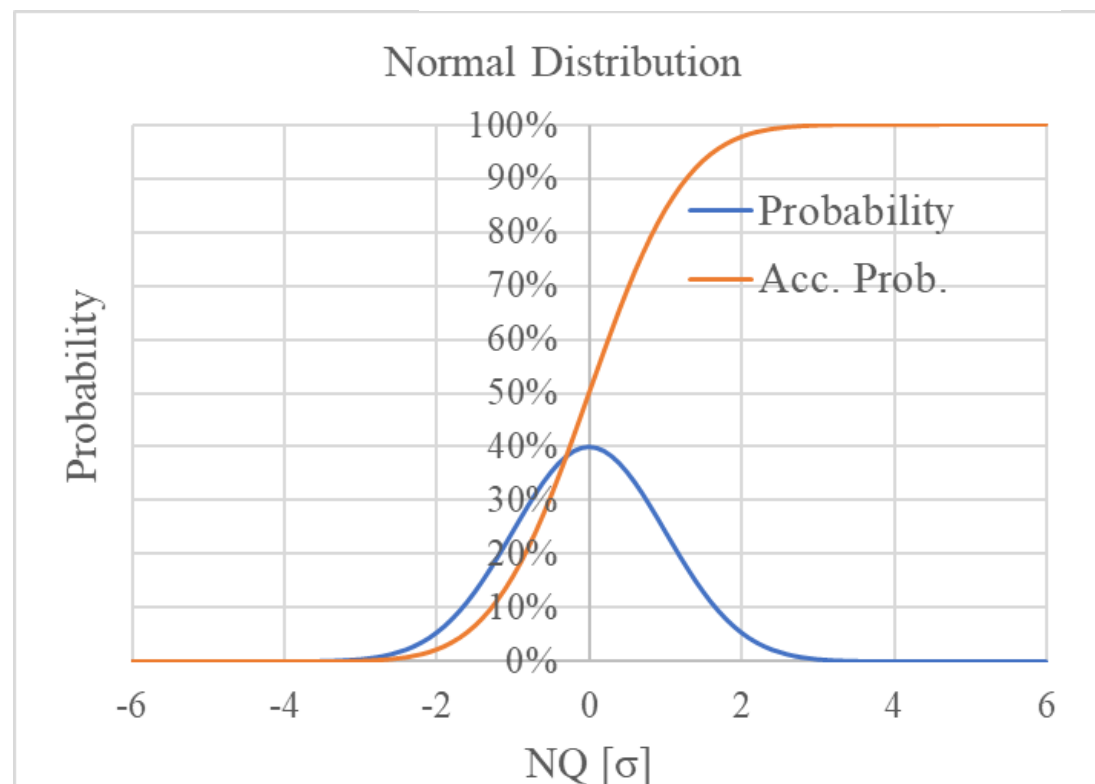
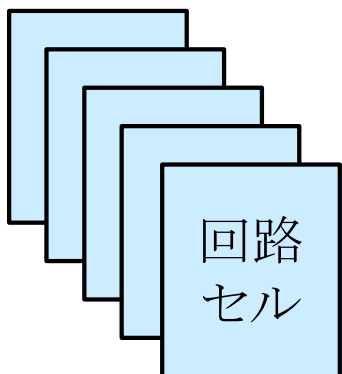
$$AP(m) = AP(3)^{1/n}$$

$$m = AP^{-1}(AP(3)^{1/n})$$

高 σ 検証問題

STD($3\sigma_{NQ}$) 0.99865
回路個数 NQ値

n	m
1	3.00
10	3.64
100	4.20
1K	4.69
10K	5.14
100K	5.56
1M	5.95
10M	6.31





4. 単体MOSの I_{ds} ばらつき



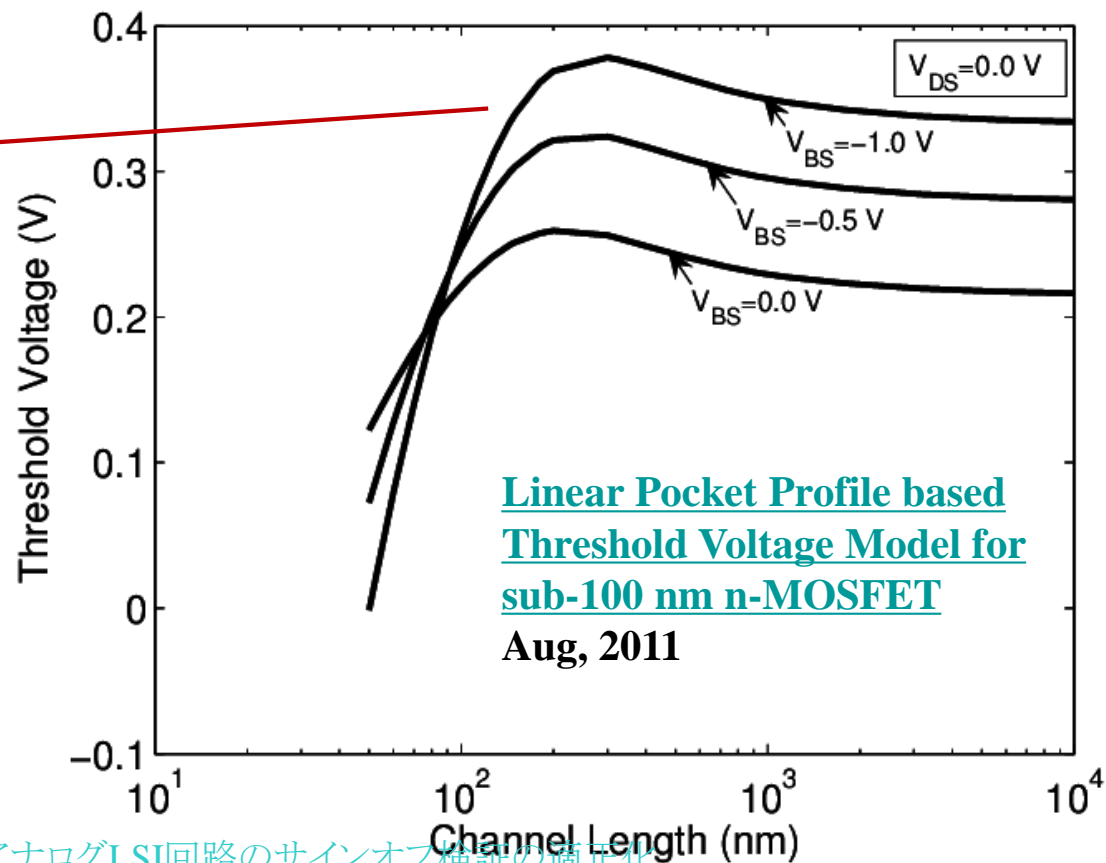
4. MOSモデルに関して

- 本講座で使用するMOSトランジスタモデルは下記カリフォルニア大学バークレイ校のWebサイトから入手したBSIM3で、ゲート長 100[nm] の架空のもので、シミュレーション実験には十分使えると考えます。

<http://bsim.berkeley.edu/models/bsim3/>

アナログ用には
L長感度の低い
所を使いたい

アナログ回路では V_{th} のサイズ依存性をなるべく排除するためL長は長めを使う。後に示すOPアンプ回路ではL長を500[nm]に設定している。





4. Spiceに関して

- フリーソフトの**LTSpice**を使っています。<https://www.ltspice.jp/>

The screenshot shows the LTSpice Users Club website. At the top, there is a navigation bar with the LTSpice logo, a tagline 'Users Club', and a dark header with the text '役立つLTSpice情報の発信ステーション'. Social media icons for Twitter and Facebook are present, along with links for '会員専用ページ' and 'ログイン'. Below the header is a main menu with 'HOME', 'Users Clubとは', 'お問い合わせ', and 'LTSpiceダウンロード'. The main content area features several promotional banners: 'すぐできる! LTSpiceの ABC & Tips Vol.7 波形ひずみについて調べてみよう', '申込受付中 LTSpiceセミナー 2019/12/6 (金) 名古屋 TKPガーデンシティPREMIUM 名古屋ルーセントタワー', and 'アナログ回路 シミュレーション検定 申し込み受付中'. A central text block describes the Users Club and includes a red button 'Users club会員募集中 入会はこちらから'. On the right, there is a '無料 アナログ回路シミュレータ LTSpice® ダウンロードサイトはこちら' banner with a download icon. At the bottom, there is a '開発者からの手紙' section with a date '2018年5月30日' and a photo of Mike Engelhardt, a man wearing a hat and a bow tie.



4. MOSモデルばらつき量の設定例

ざっくりだが、 $3\sigma_{STD}$ 値で

$$\text{LocalVar}^2 + \text{GlobalVar}^2 = 0.15^2$$

つまり

LocalVar 10.607%、GlobalVar 10.607%

コーナー要素	バリエーション
プロセス P (MOS)	SS、SF、FS、FF
温度 T	-15、27、90 [°C]
電圧 V	1.8、2.0、2.2 [V]
回路の素子値	1K、5K、20K [Ω]等

$$\sigma_{NQ}^2(local) + \sigma_{NQ}^2(global) = (15/3)^2 [\%]$$

$$\sigma_{NQ}(local) = \sigma_{NQ}(global) = 10.607/3 [\%]$$

$$\text{GlobalVar} = \text{Gauss}(\sigma_{NQ}(global))$$

$$p \rightarrow p \left(1 + \text{Gauss}(\sigma_{NQ}(local)) + \text{GlobalVar} \right)$$

	パラメータ p	説明	単位	mean
Nch	Lmin	ゲート長	m	100n
	Wmin	ゲート幅	m	100n
	VTH0	閾値電圧	V	0.3
	Tox	酸化膜厚	m	5n
	U0	易動度	cm^2/Vs	500
Pch	Lmin	ゲート長	m	100n
	Wmin	ゲート幅	m	100n
	VTH0	閾値電圧	V	-0.3
	Tox	酸化膜厚	m	5n
	U0	易動度	cm^2/Vs	250



4. LTspice/BSIM3 パラメータ設定例

```
.params local3S=0.10607 global3S=0.10607  
+ globalPvar={Gauss(global3S/3)} globalNvar={Gauss(global3S/3)}
```

```
.params VTH0_MN1={0.3*(1+Gauss(local3S/3)-globalNvar)}  
+ TOX_MN1={5E-9*(1+Gauss(local3S/3)-globalNvar)}  
+ U0_MN1={500*(1+Gauss(local3S/3)+globalNvar)}
```

```
.params VTH0_MP1={-0.3*(1+Gauss(local3S/3)-globalPvar)}  
+ TOX_MP1={5E-9*(1+Gauss(local3S/3)-globalPvar)}  
+ U0_MP1={250*(1+Gauss(local3S/3)+globalPvar)}
```

```
.params Lp0=500n Ln0=500n Wp0=2u Wn0=1u Lsd=1u
```

```
.params Lp1={Lp0*(1+Gauss(local3S/3)-globalNvar)}  
+ Wp1={Wp0*(1+Gauss(local3S/3)-globalNvar)}
```

```
.params Ln1={Ln0*(1+Gauss(local3S/3)-globalPvar)}  
+ Wn1={Wn0*(1+Gauss(local3S/3)-globalPvar)}
```

G + L MCの場合

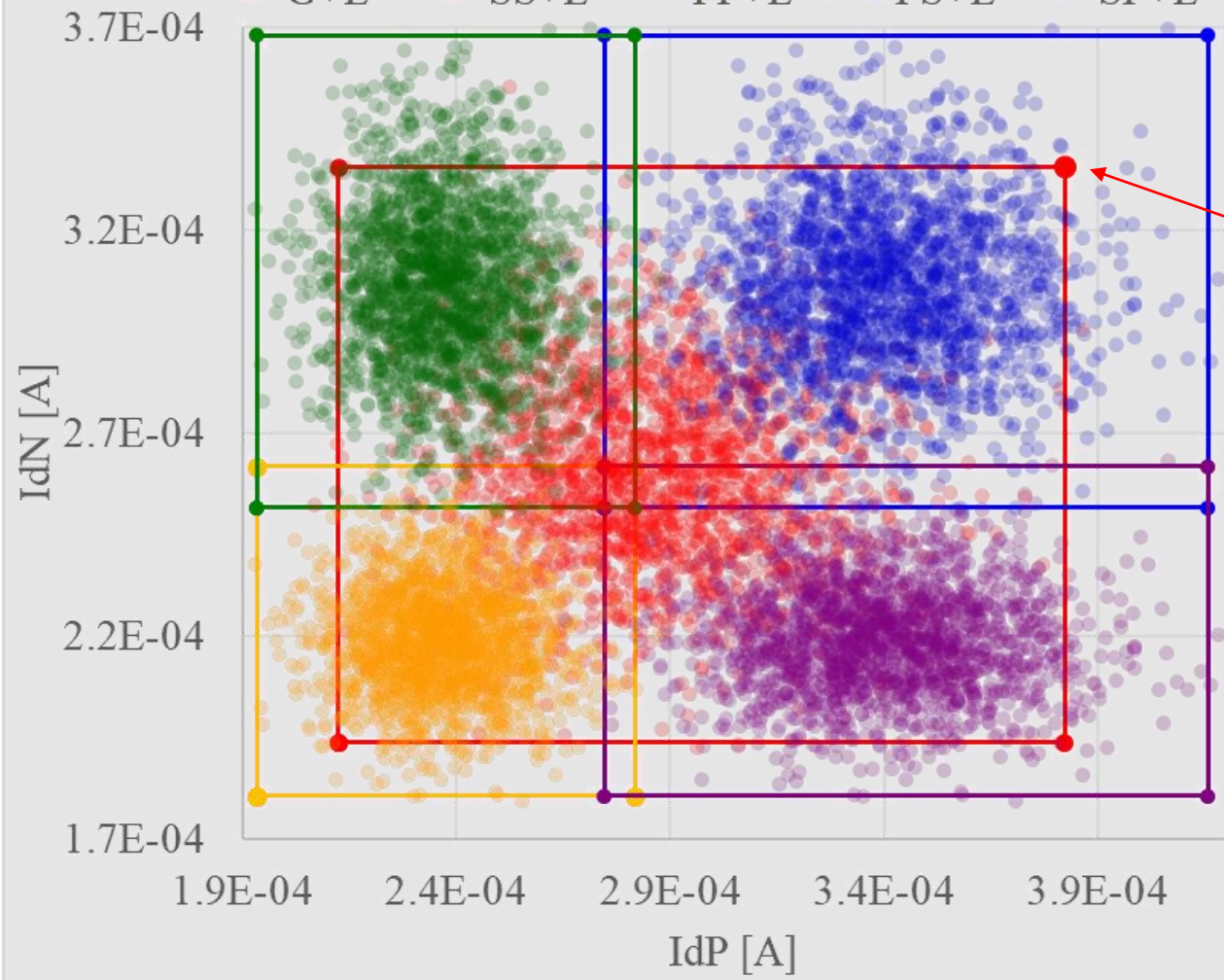
コーナーの場合は
globalvarを0.10607
に固定する



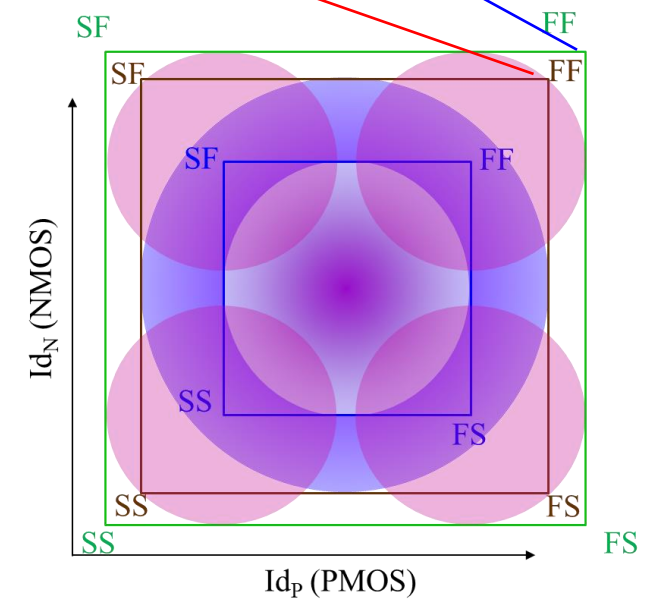
Nch: 1u/500n
Pch: 2u/500n

IdP - IdN (G+L, FF, SF, FS, SS) @2V、27°C

- G+L ● SS+L ● FF+L ● FS+L ● SF+L
- G+L ● SS+L ● FF+L ● FS+L ● SF+L

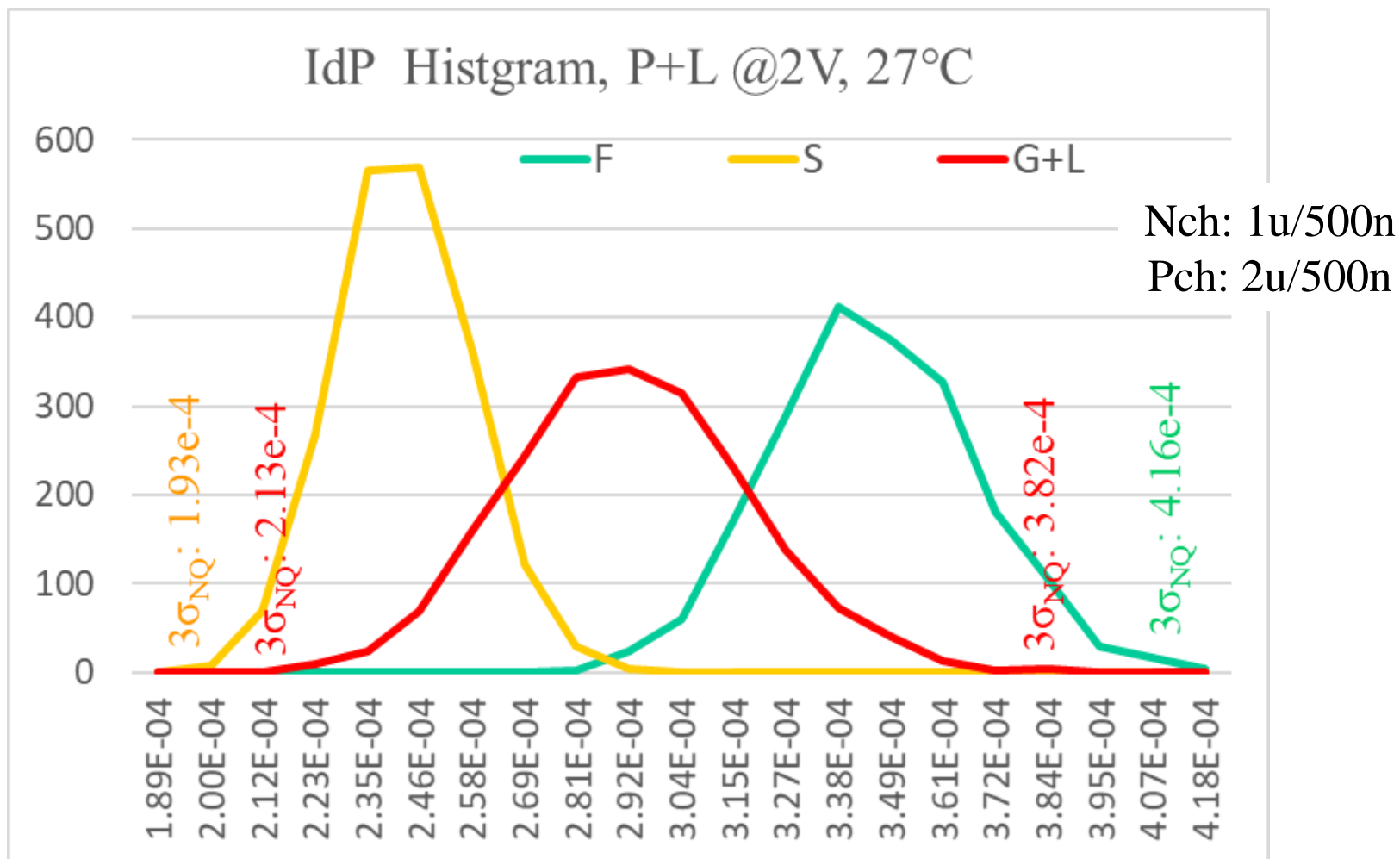


4. 500nm MOS の Ids ばらつき @2V、27°C



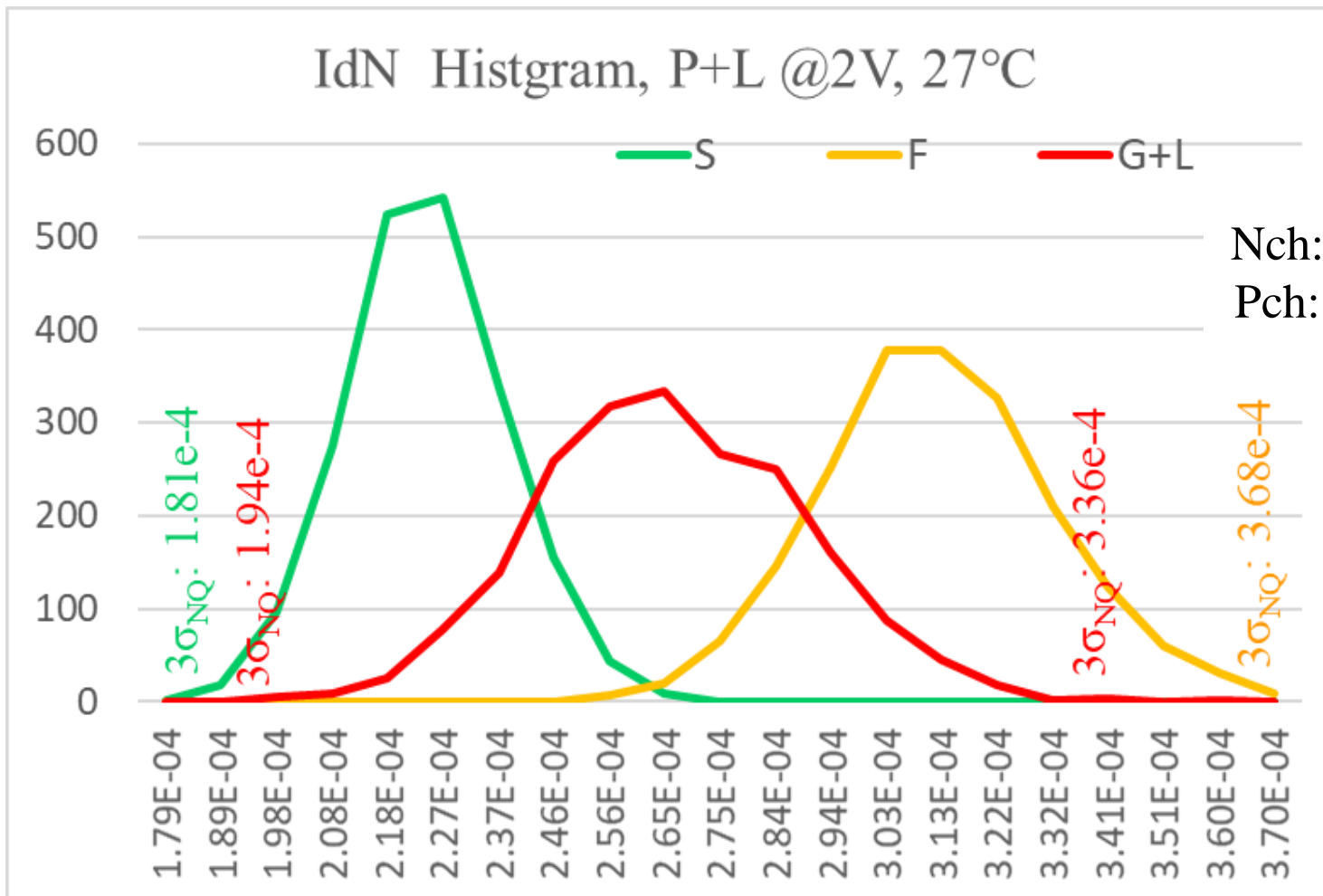


4. 500nm PMOS の I_{ds} ばらつき @2V、27°C





4. 500nm NMOS の I_{ds} ばらつき @2V、27°C

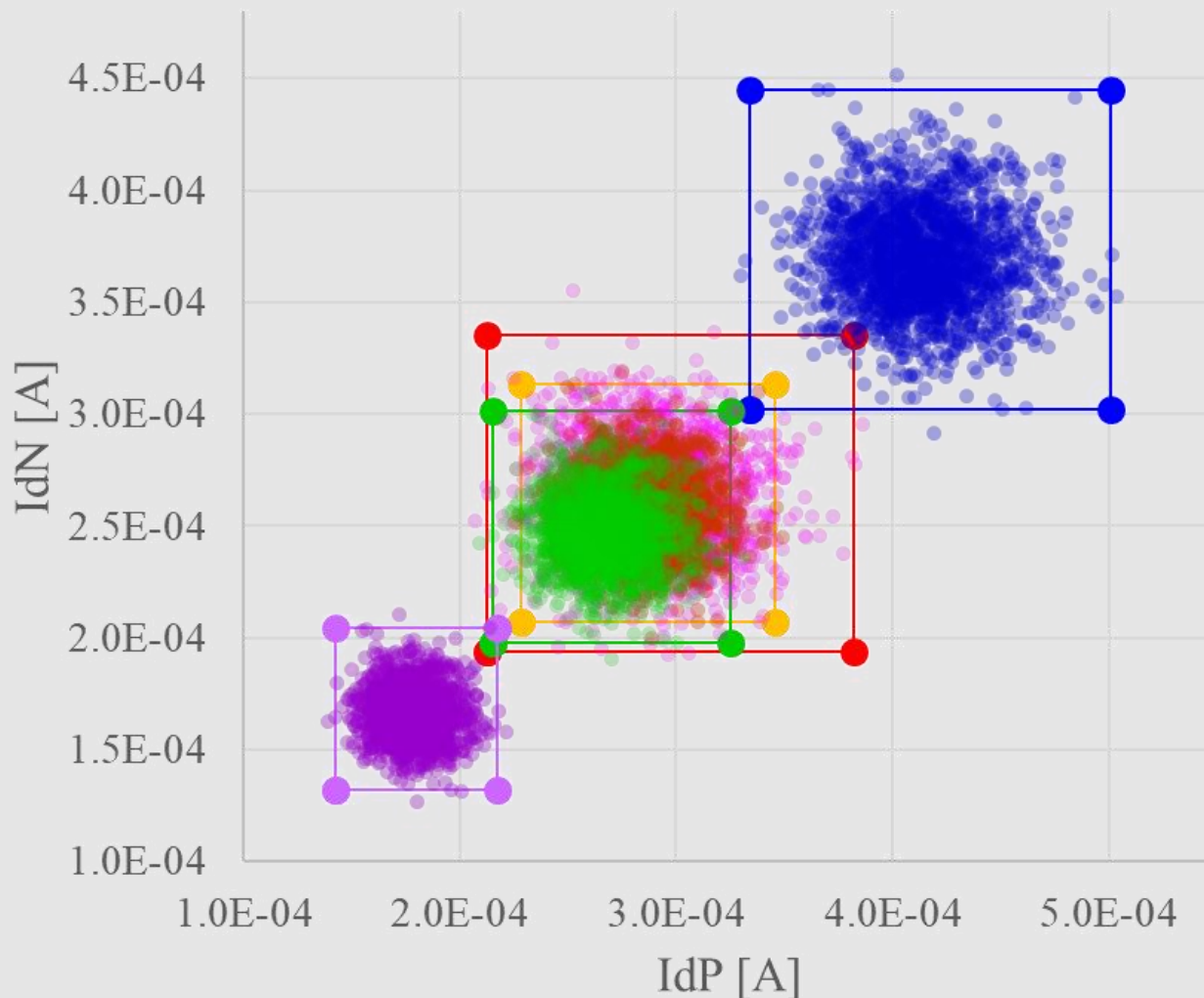




Nch: 1u/500n

Pch: 2u/500n

IdP - IdN G+L @VT



4. 500nm MOS の Ids ばらつき G+L @VT

プロセスは G+L で
VT条件を振ってみる

V: (1.8, 2, 2.2) [V]

T: (-15, 27, 90) [°C]

この図から

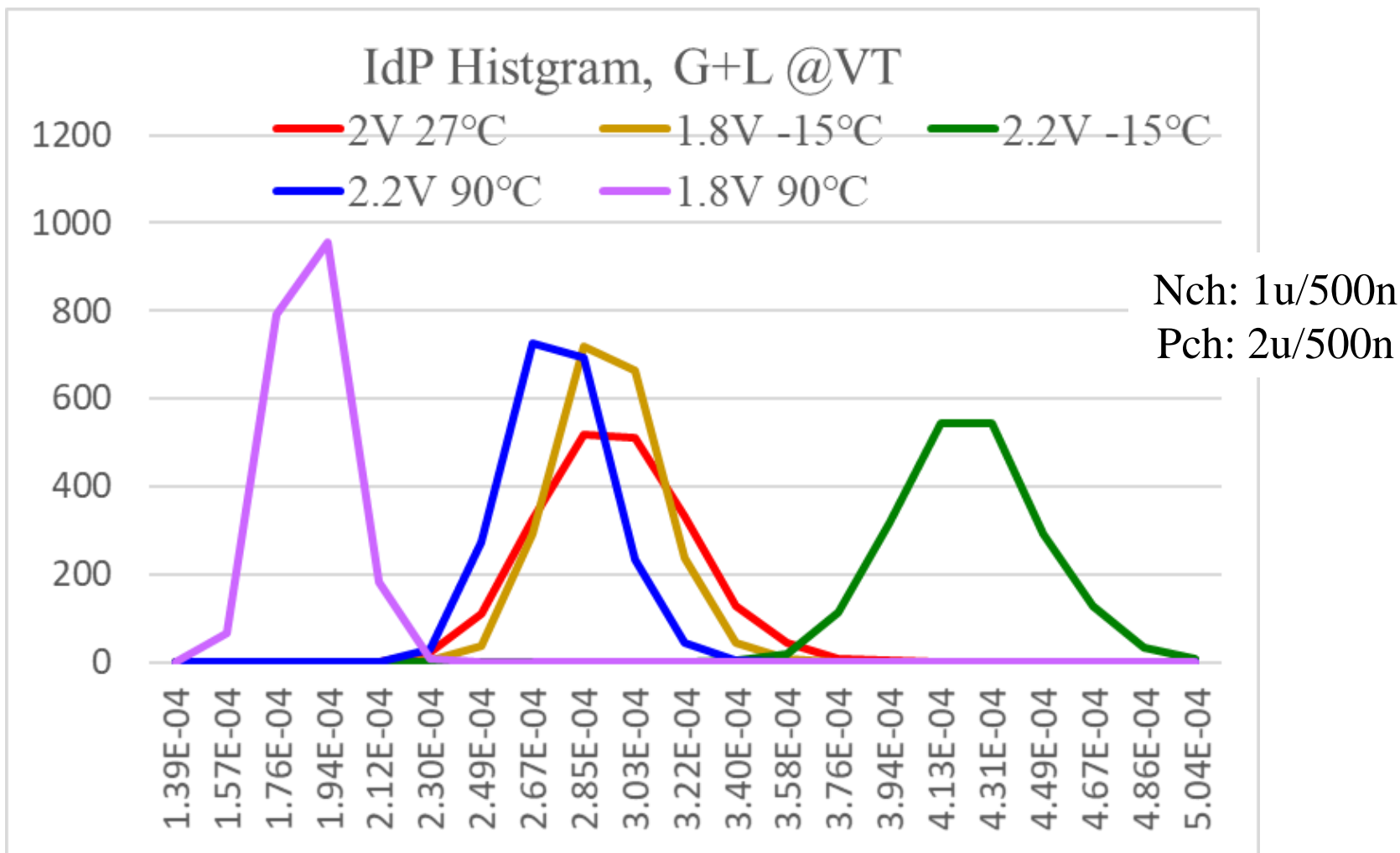
Id最大条件: 2.2V, -15°C

Id最小条件: 1.8V, 90°C

と分かる。

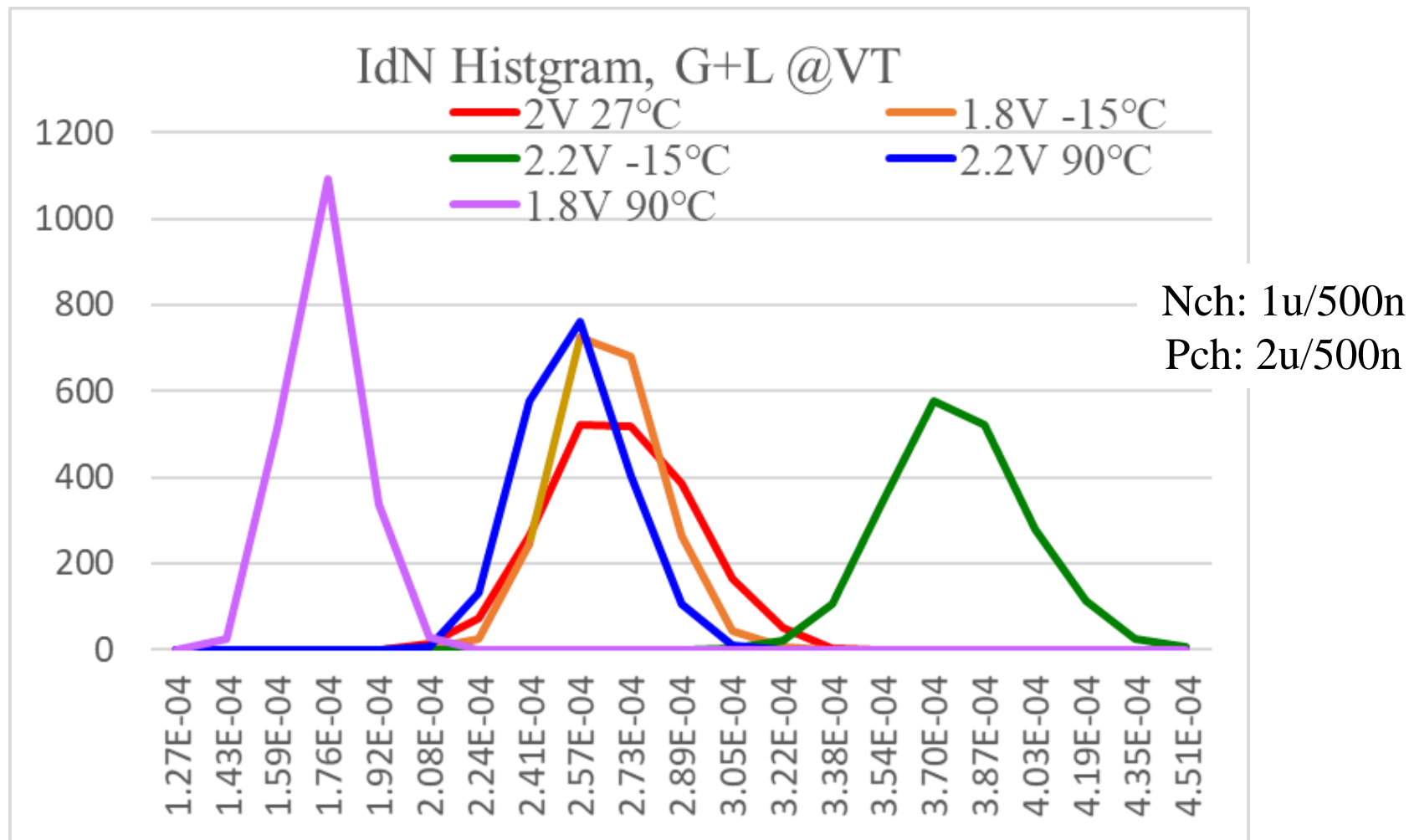


4. 500nm PMOS の I_{ds} ばらつき G+L @VT





4. 500nm NMOS の I_{ds} ばらつき G+L @ VT





5. OPアンプのばらつき特性



5. OPアンプのばらつき特性

- OPアンプ例題回路での Monte Carlo 解析と分析を実施。
- 設定するコーナーはVTとPのみで、回路定数はコーナー要因としない。
- 配線ばらつき、経年変化は考慮外。

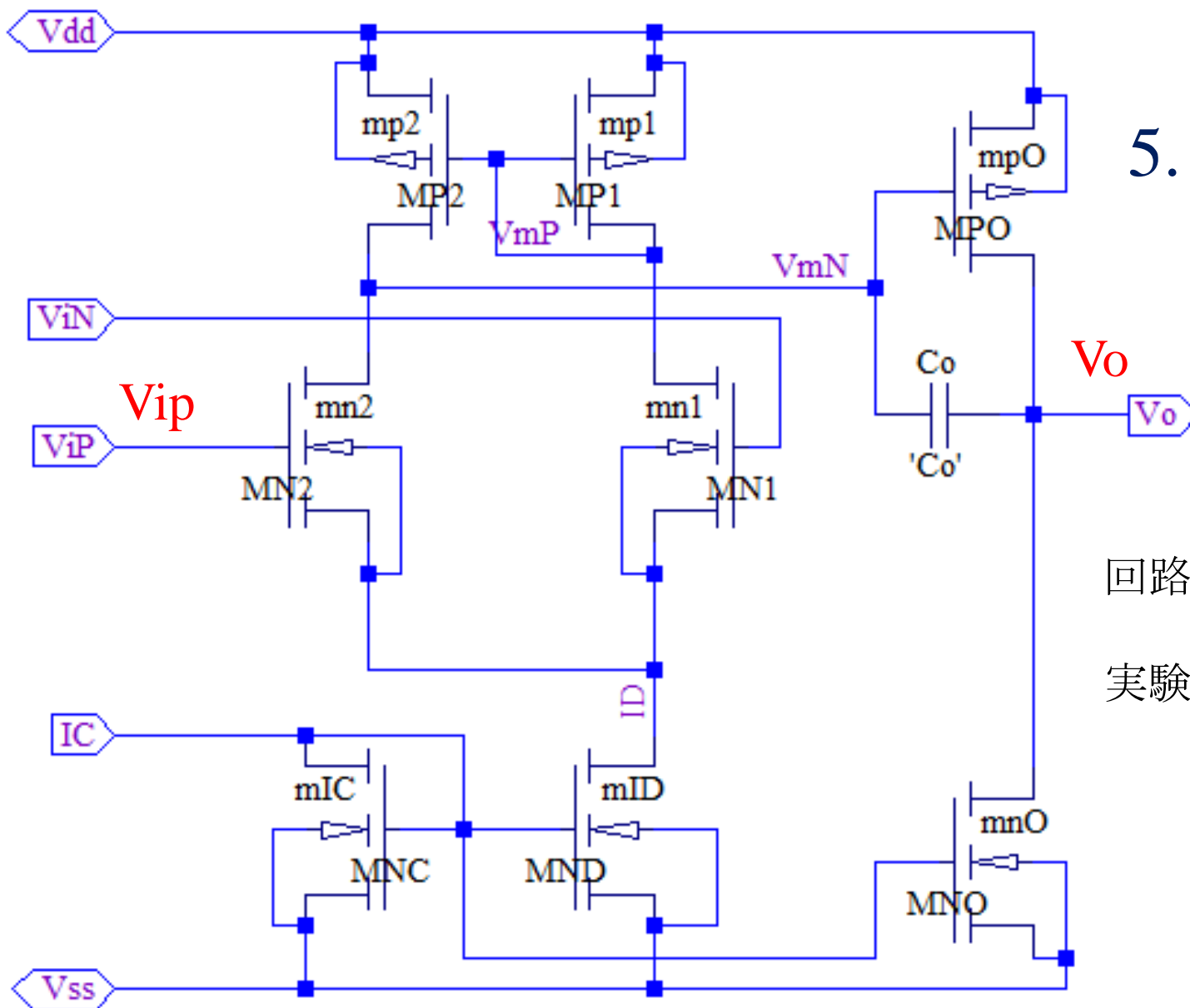
コーナー要素の例 3240コーナー候補

項目	記号	値	選択肢
プロセス	P	TT/FF/FS/SF/SS	5
電圧	Vdd	1.8/2.0/2.2	3
温度	T	90/27/-15	3
回路パラメータ	Cload	20p/30p/45p/70p	4
	Iref	1u/1.5u/2.5u	3
	Rfb	5Meg/10Meg/20Meg	3
	Cfb	70u/100u	2

コーナー
要因

回路定数
今回は固定

コーナー候補数 3240



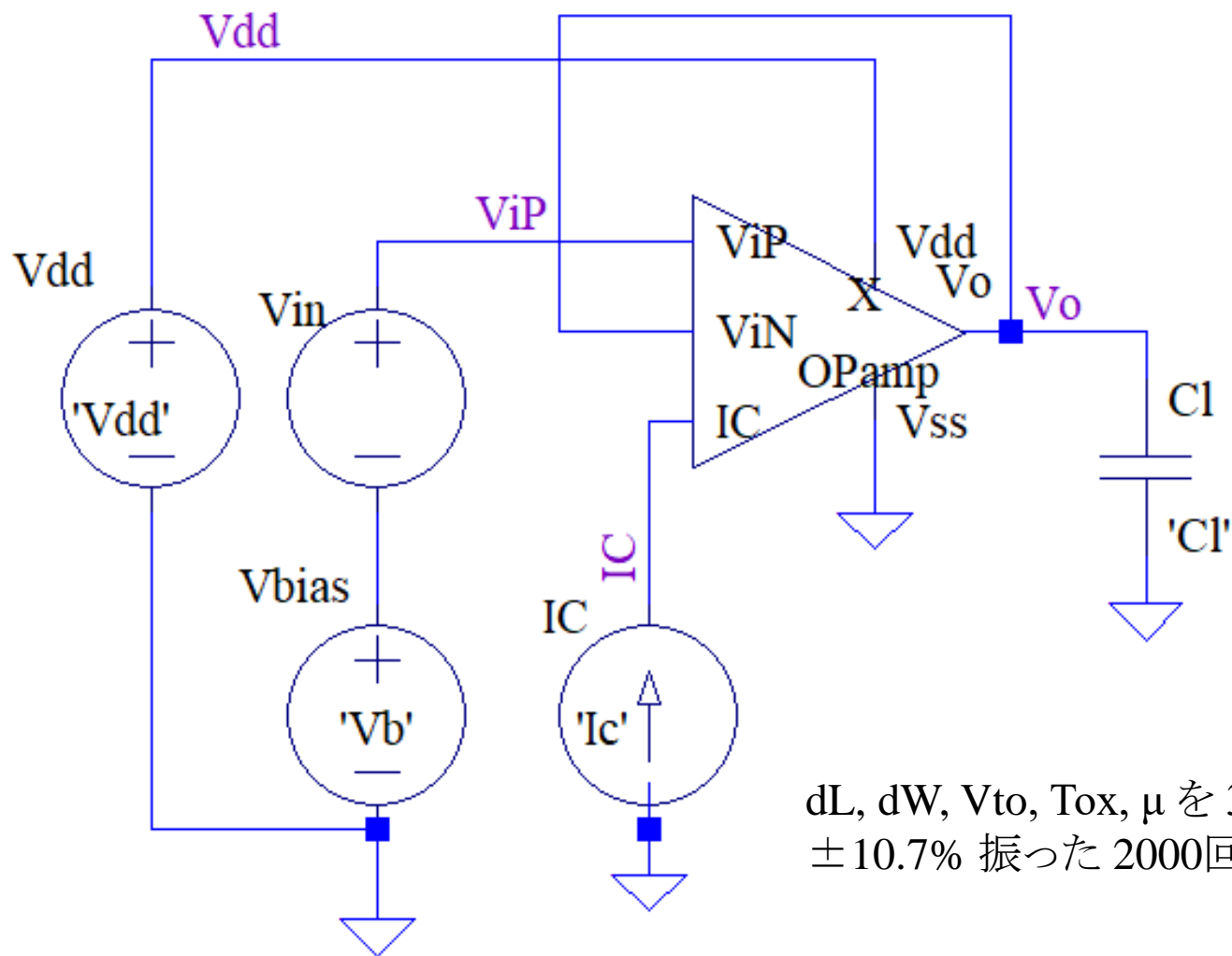
5. OPアンプ回路

回路としての完成度は低い。
実験の目的からは問題なし。



5. OPアンプ ボルテージフォロワー スルーレート

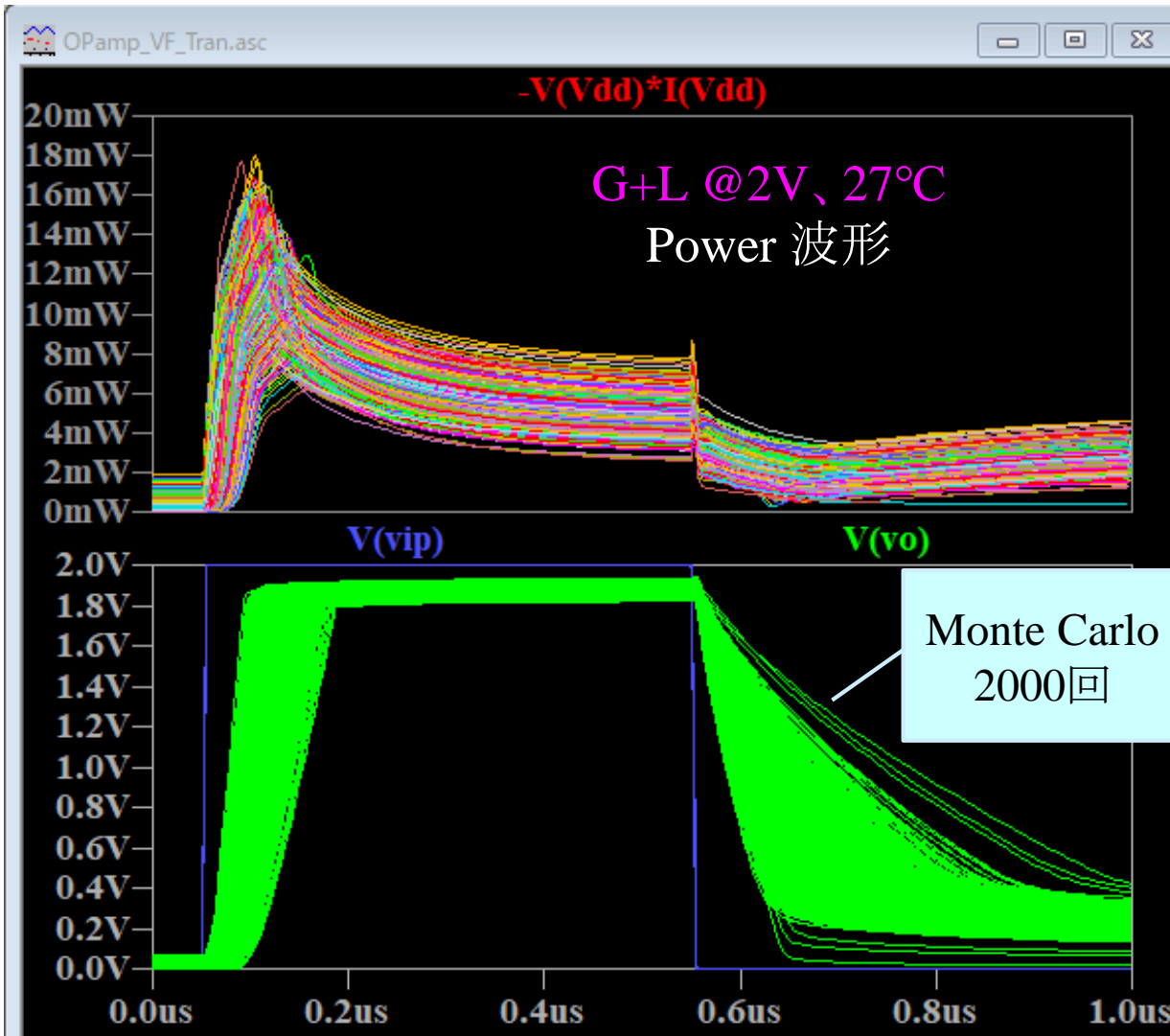
PULSE('Vlow' 'Vhigh' 'Tdelay' 'Trise' 'Tfall' 'Ton' 'Tperiod' 'Ncycles')



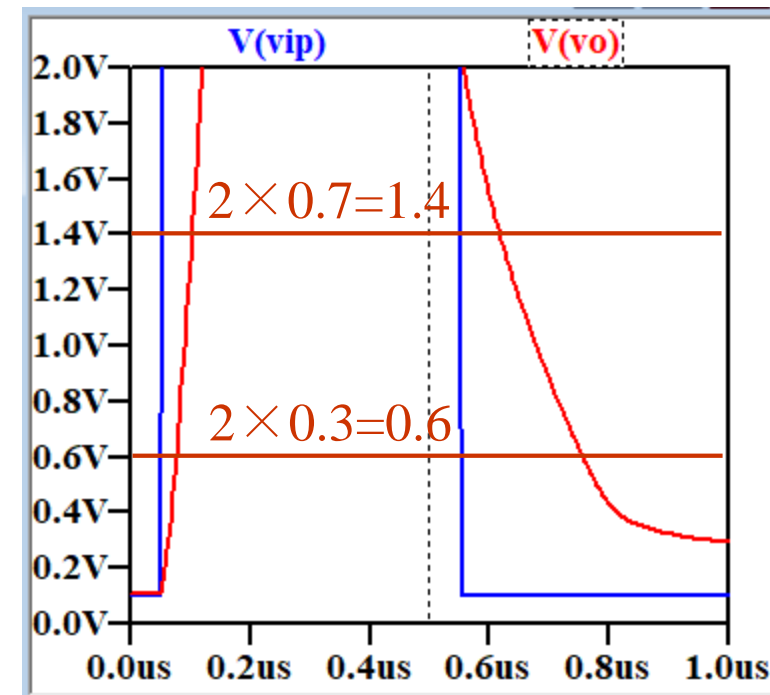
dL, dW, Vto, Tox, μ を $3\sigma_{STD}$ で local/Global
 $\pm 10.7\%$ 振った 2000回モンテカルロ解析



5. OPアンプ ボルテージフォロワー スルーレート



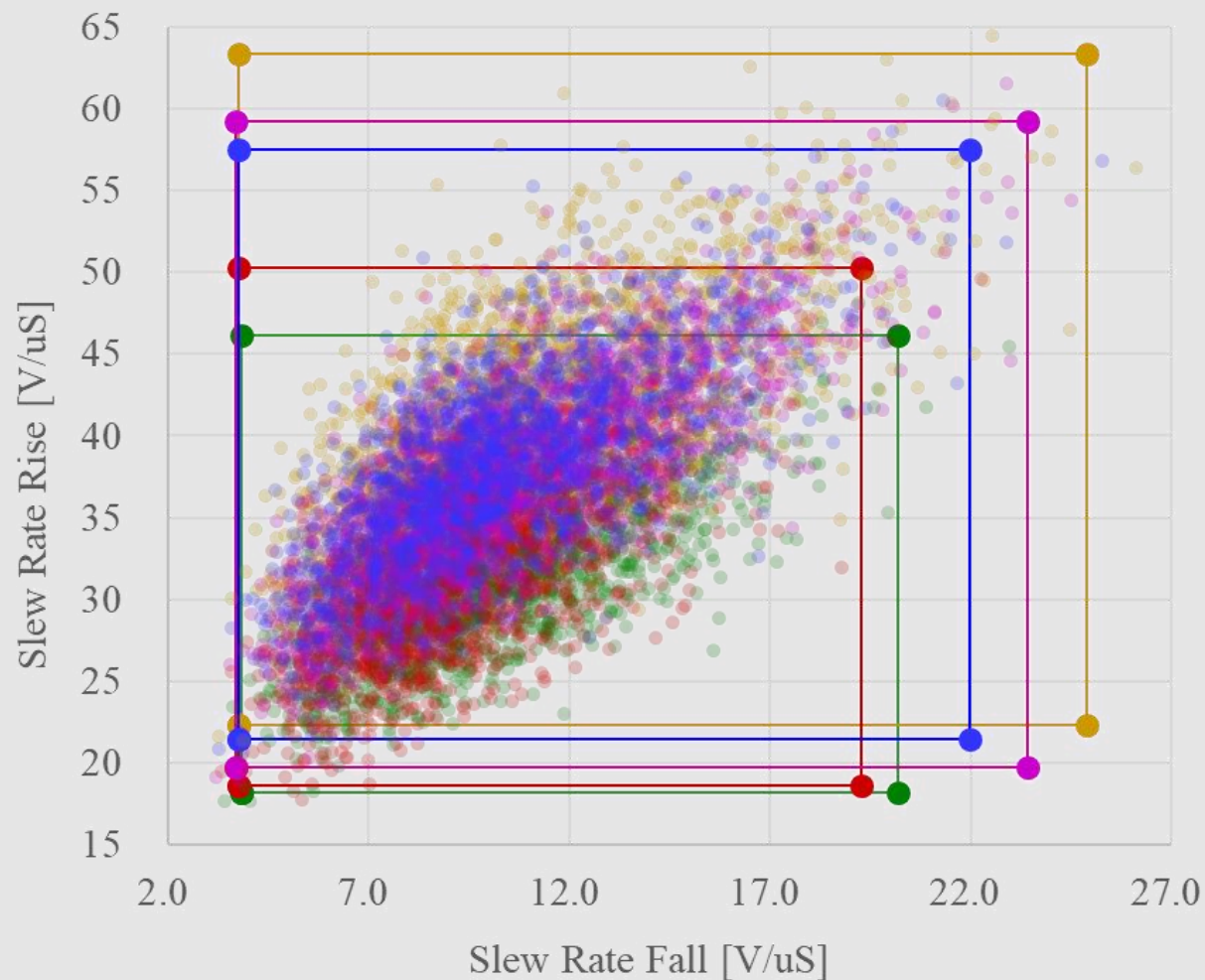
スルーレートの測定は
波形の乱れを避けるため
Vddの0.3倍から0.7倍
間の最大傾斜とした。





Slew Rate Scattering Plot G+L @VT

- G+L @1.8V 90°C ● G+L @1.8V 90°C ● G+L @1.8V -15°C
- G+L @1.8V -15°C ● G+L @2.2V 90°C ● G+L @2.2V 90°C
- G+L @2.2V -15°C ● G+L @2.2V -15°C ● G+L @2V 27°C
- G+L @2V 27°C



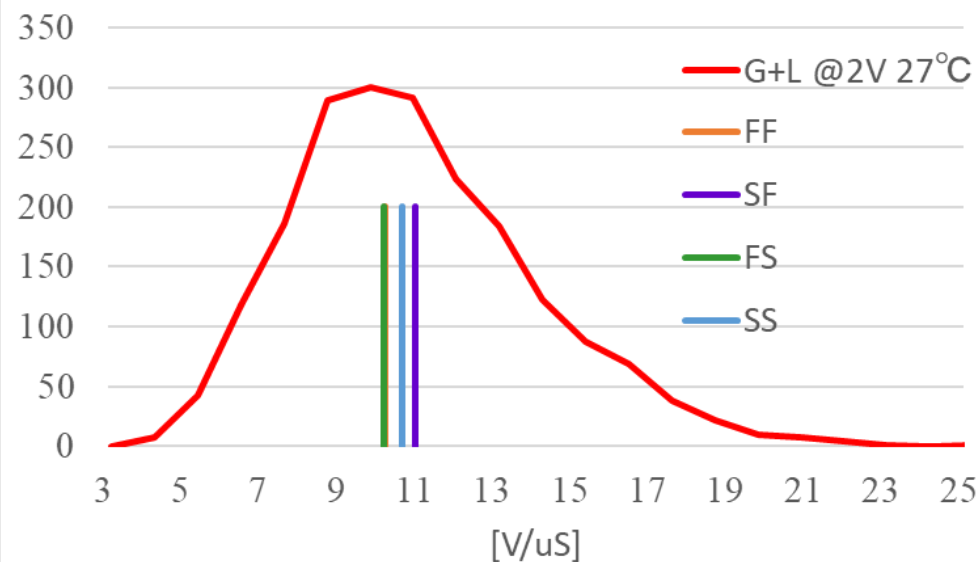
5. OPアンプ ボルテージフォロワー スループレート Fall, Rise, G + L @VT



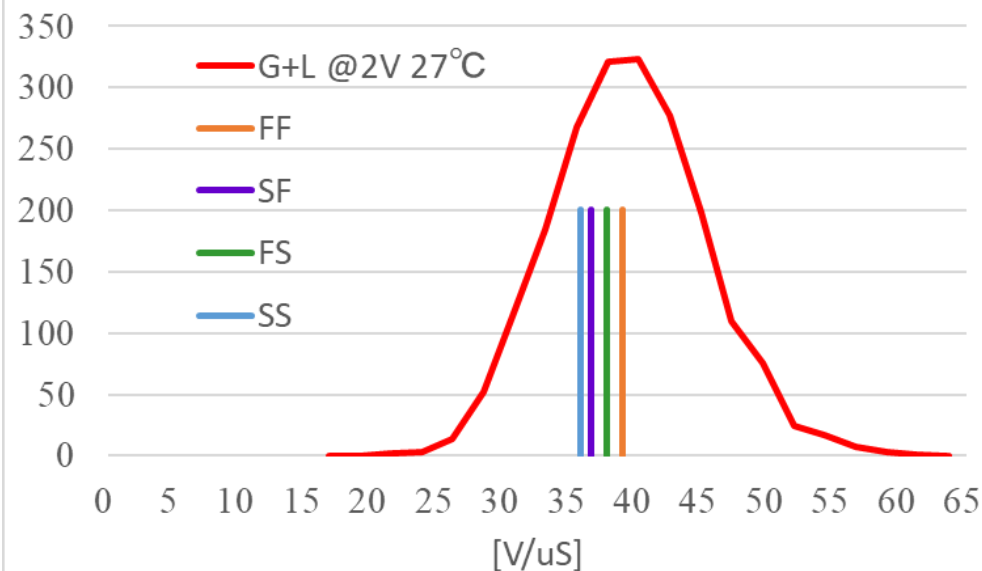
5. OPアンプ ボルテージフォロワー スルーレート 保守的コーナーとの比較 @2V,27°C

- 2V,27°Cにおいて、最も保守的なFF, SF, FS, SSコーナーでも Slew Rate の検証になっていない。4本が固まっている理由は次のスライド。

SR fall Histogram, G+L @2V, 27°C



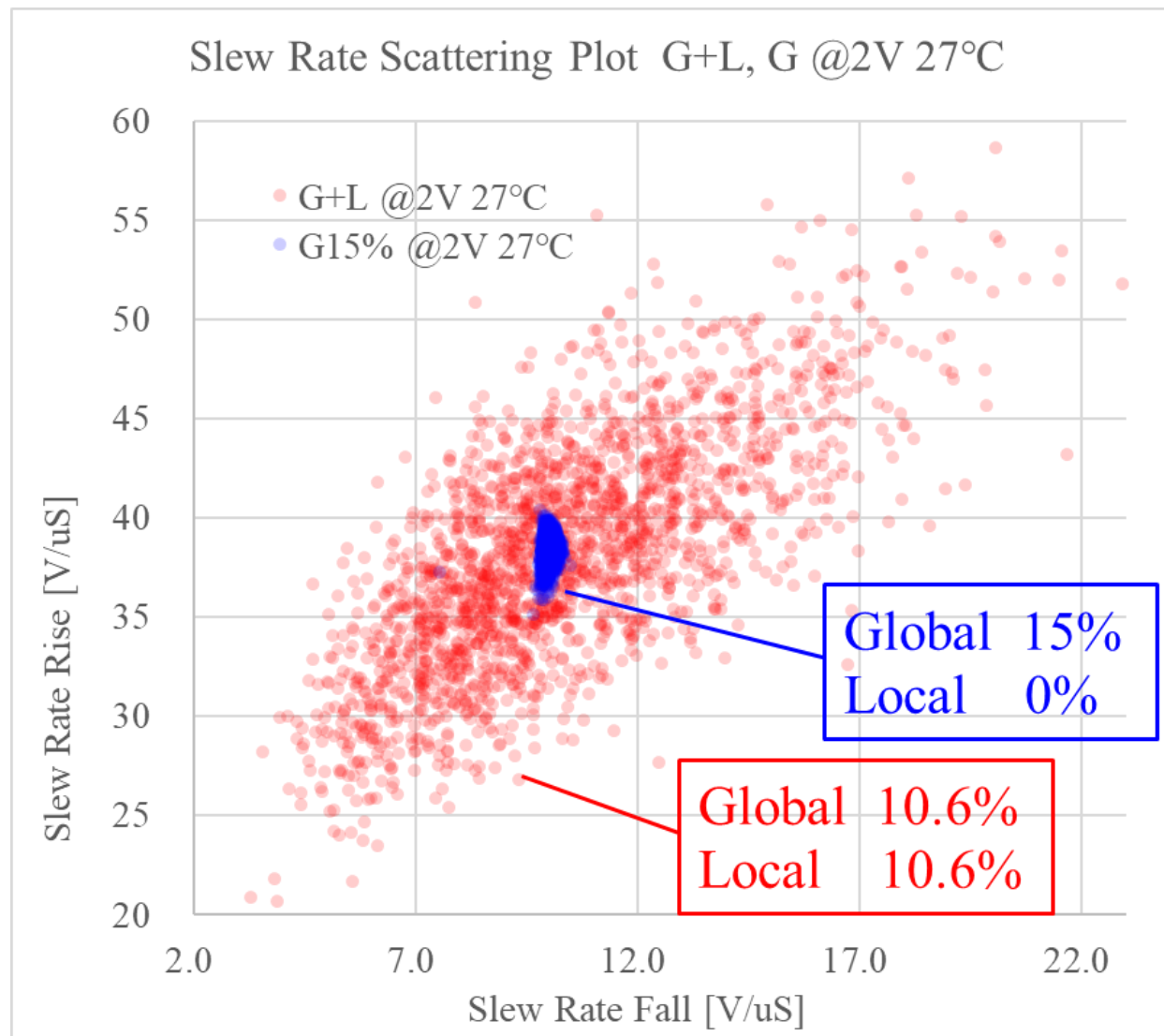
SR rise Histogram, G+L @2V, 27°C





5. OPアンプ ボルテージフォロワー スルーレート Fall, Rise, **G + L** @ 2V, 27°C

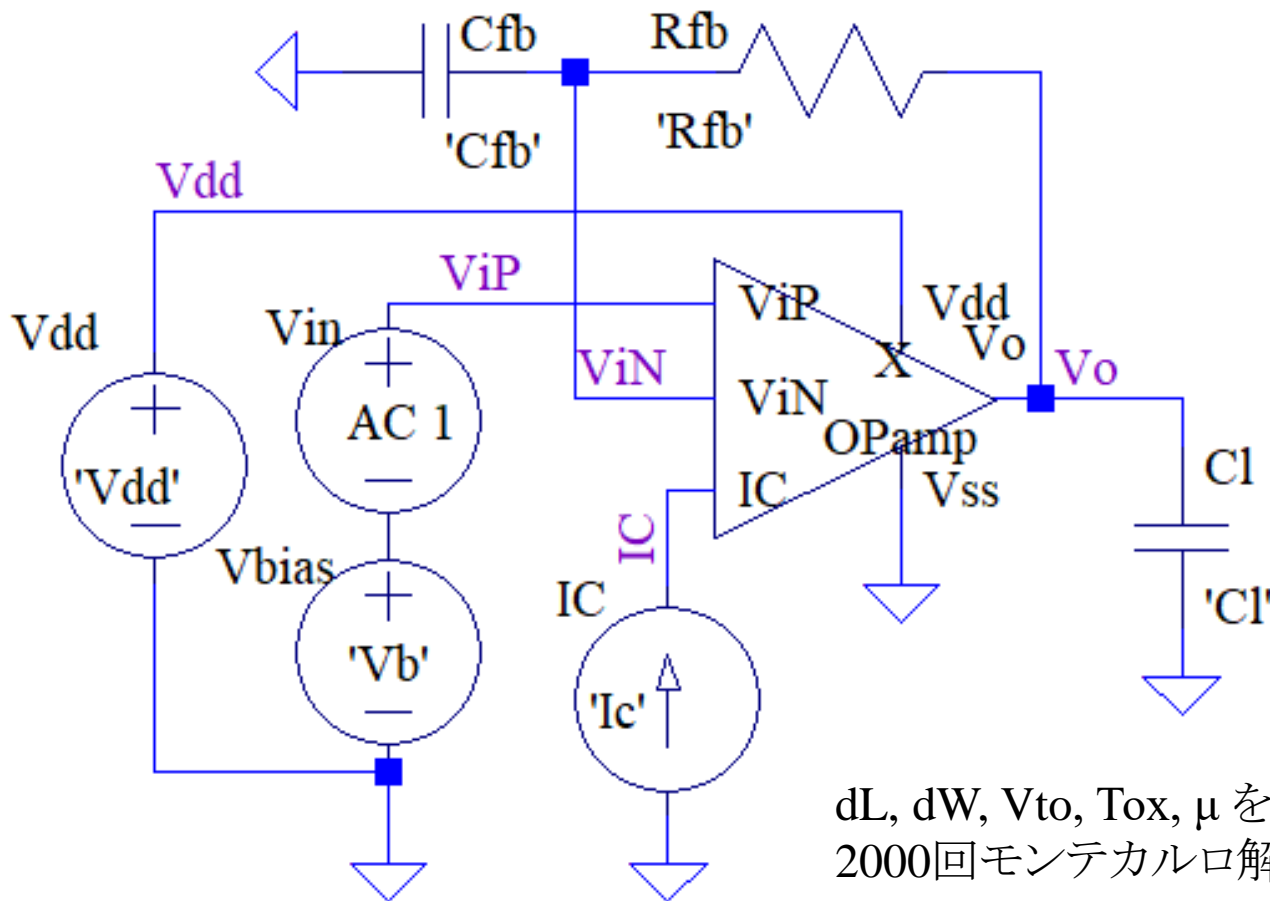
- 作動回路であるため、Global変動よりもLocal変動が大きく効くことが分かる。





5. OPアンプ AC解析

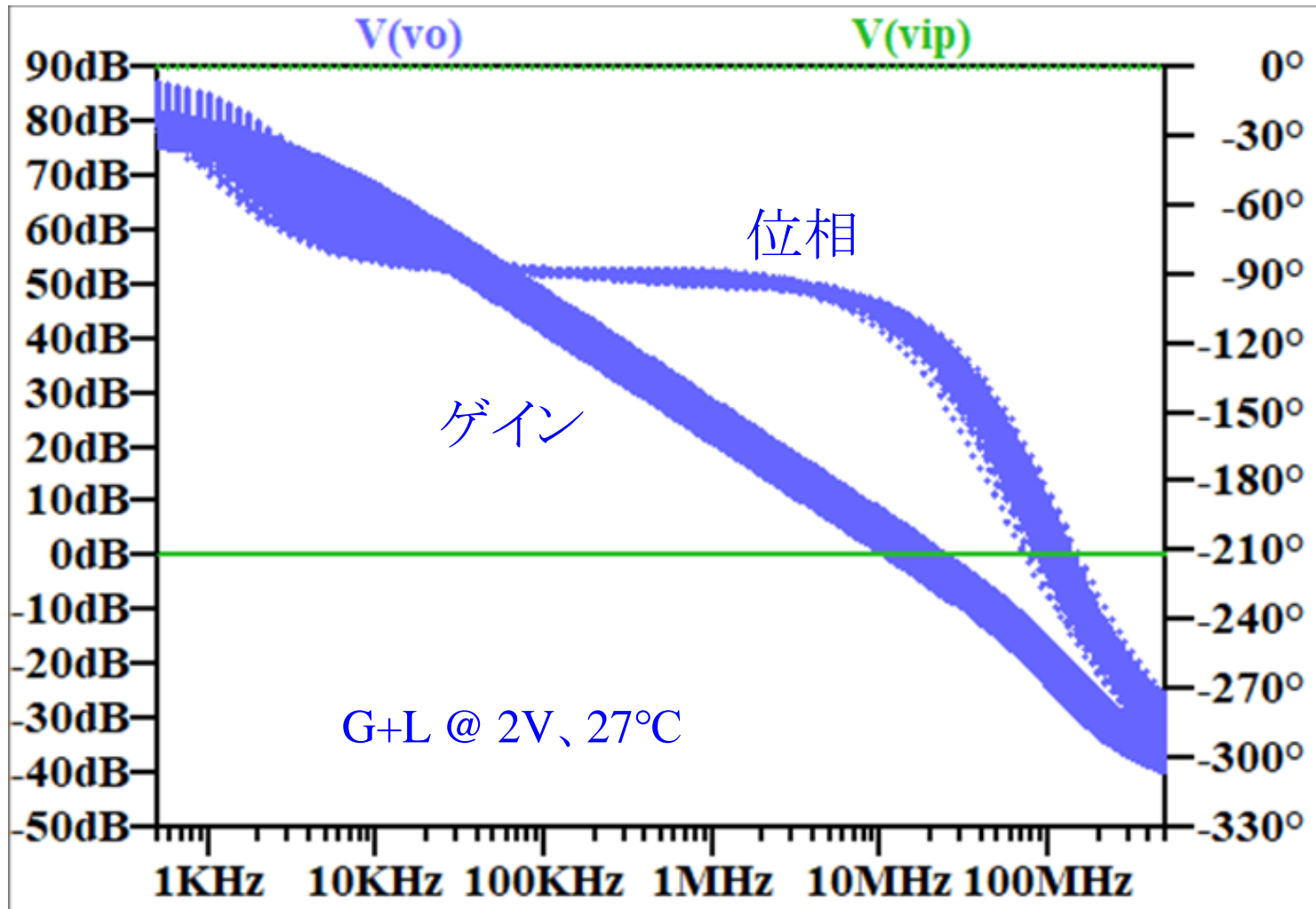
local3s='local3s' global3s='global3s' VtoRat='VtoRat' ToxRat='ToxRat' U0Rat='U0Rat'



dL, dW, Vto, Tox, μ を $3\sigma_{STD}$ で $\pm 15\%$ 振った
2000回モンテカルロ解析



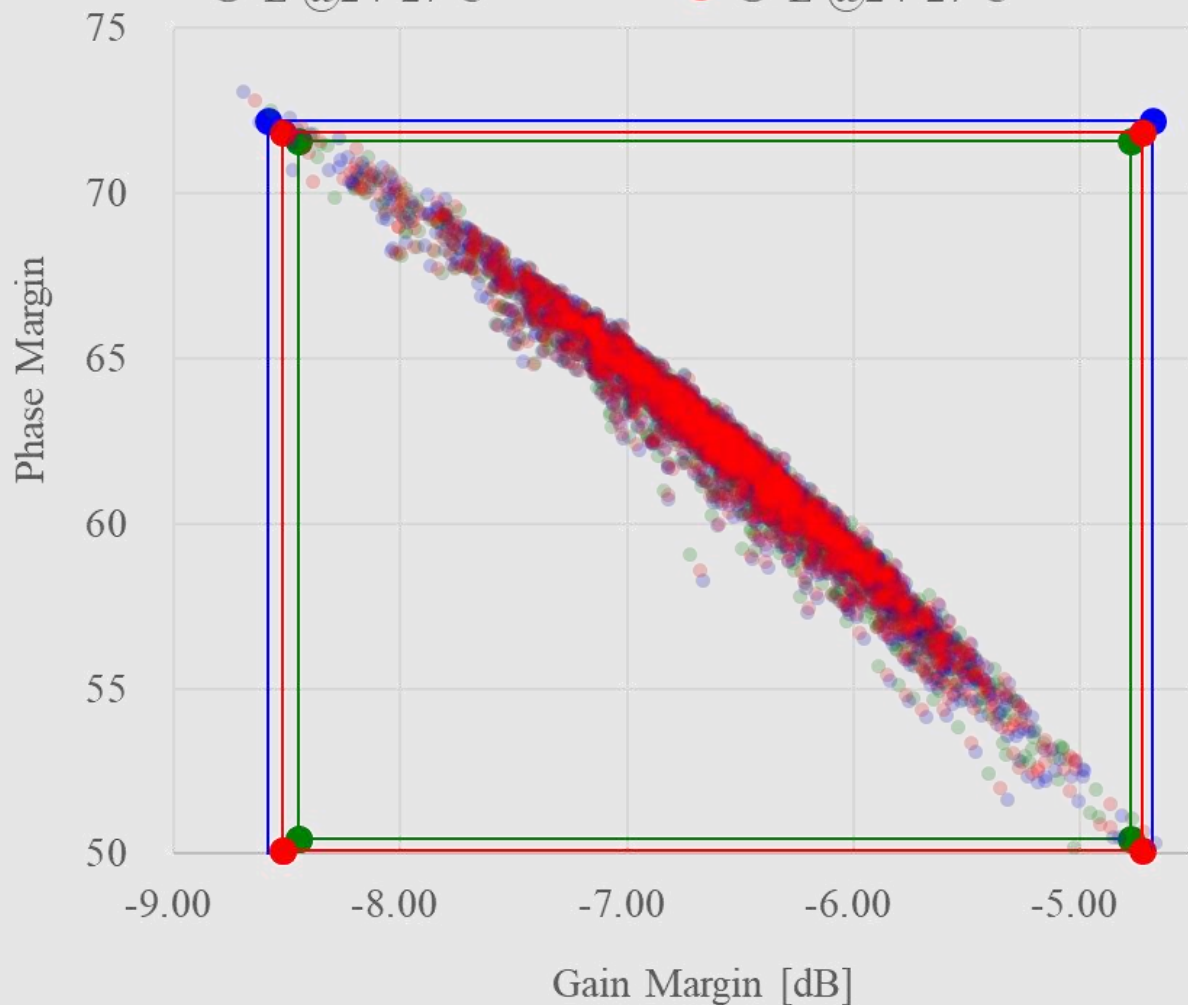
5. OPアンプ AC解析





Gain/Phase Margin Scattering Plot G+L @VT

- G+L @1.8V 90°C
- G+L @2.2V -15°C
- G+L @2V 27°C
- G+L @1.8V 90°C
- G+L @2.2V -15°C
- G+L @2V 27°C



5. OPアンプ AC解析 ゲイン/位相 マージン G+L @VT

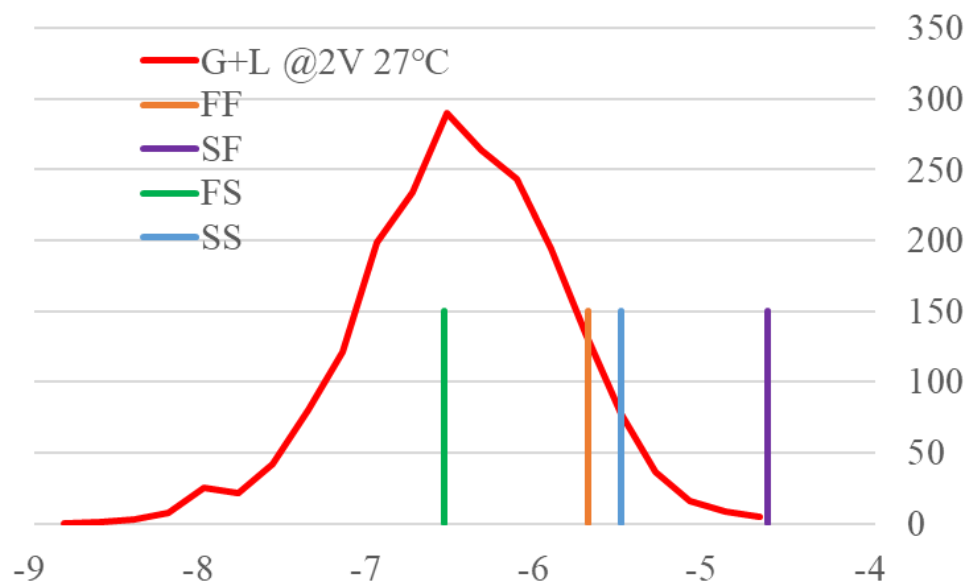


5. OPアンプ AC解析

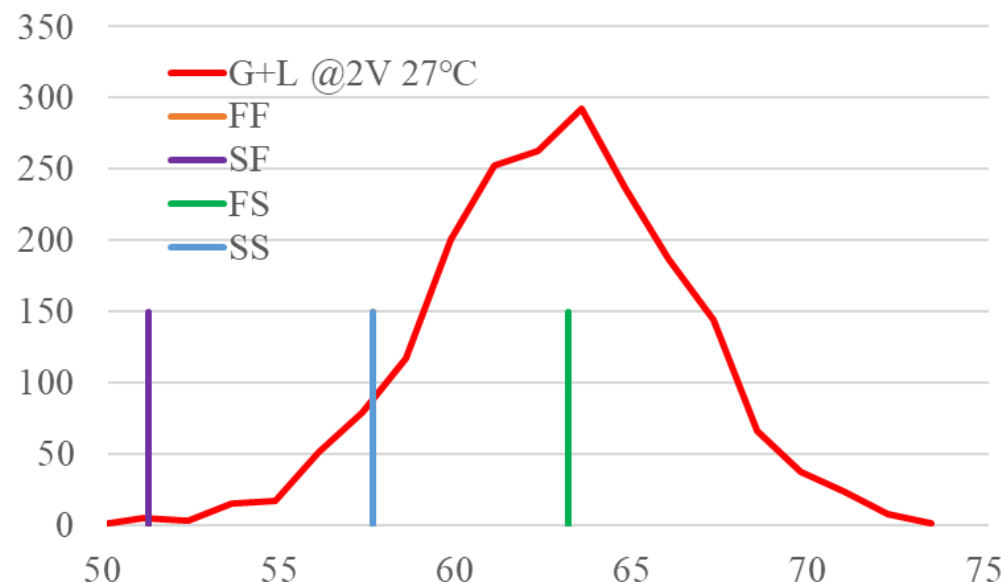
ゲイン/位相マージン G+L @ 2V, 27°C

- 2V, 27°C において、最も保守的な FF, SF, FS, SS コーナーで、SFコーナー以外は意味をなしていない。

Gain Margin [dB] G+L @2V, 27°C



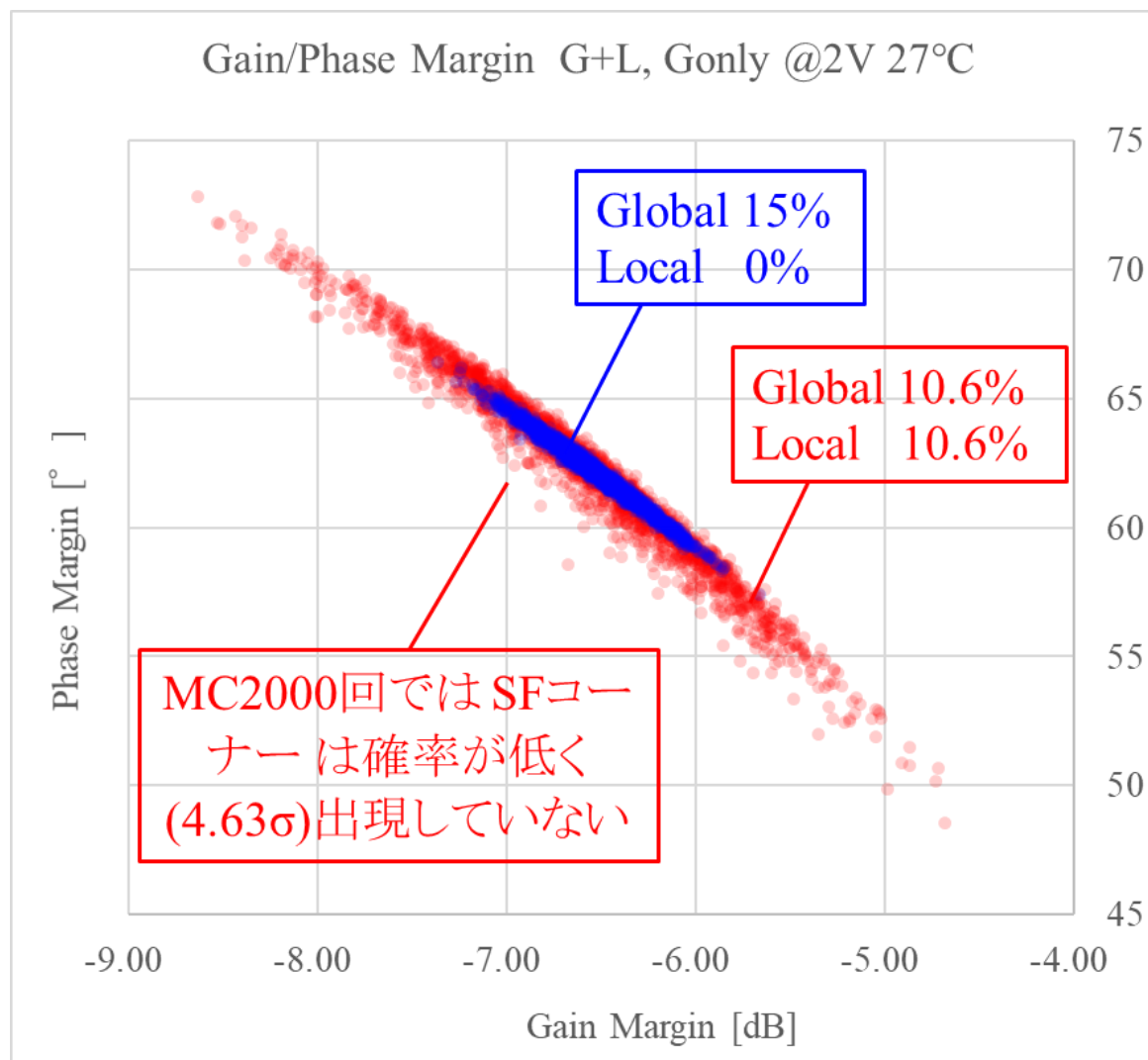
Phase Margin G+L @2V, 27°C



5. OPアンプ AC解析

ゲイン/位相マージン **G+L** @2V, 27°C

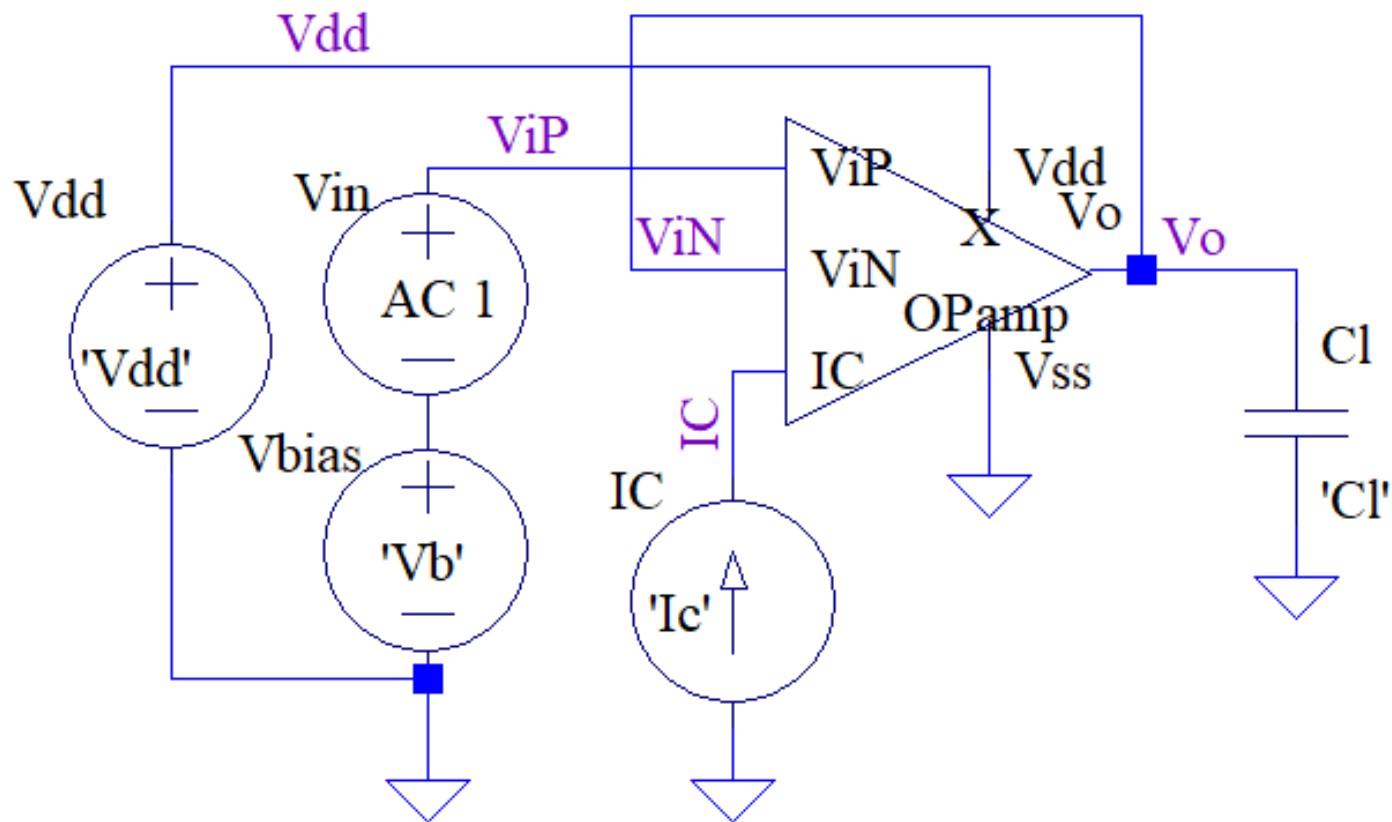
- 作動回路であるため、Global変動よりもLocal変動が大きく効くことが分かる。





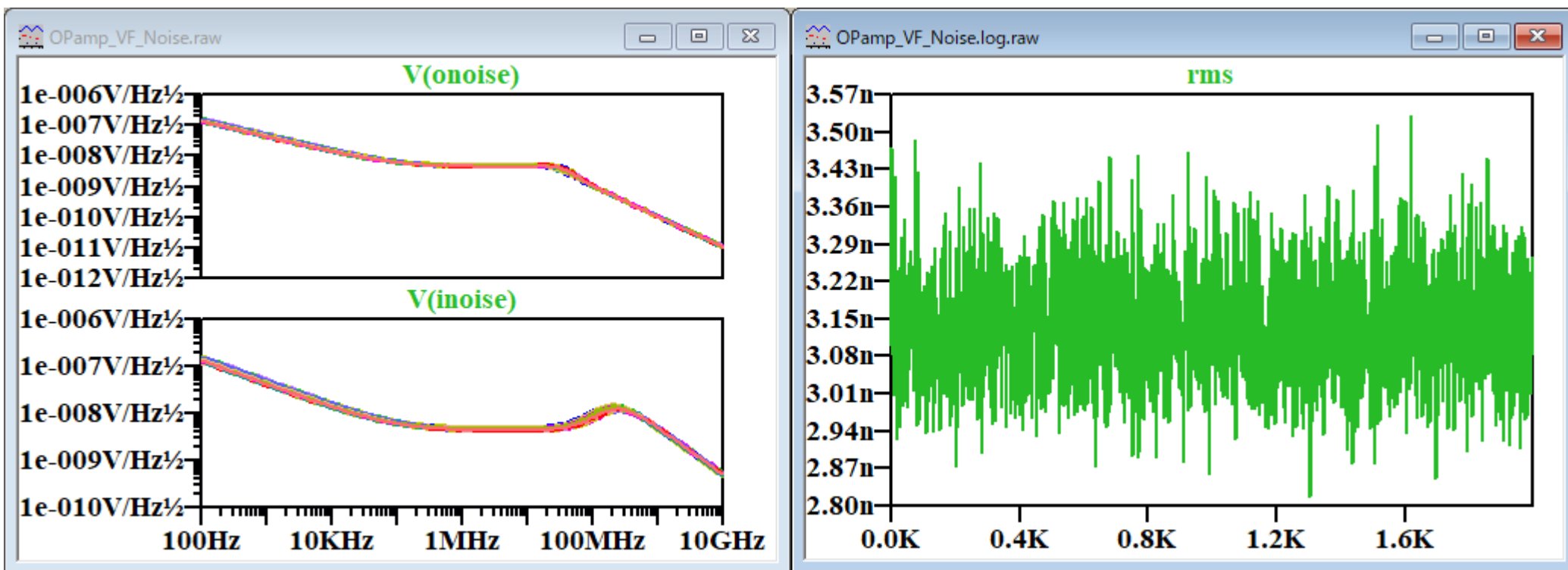
5. OPアンプ ノイズ解析

Tran解析(スルーレート)と同じ回路





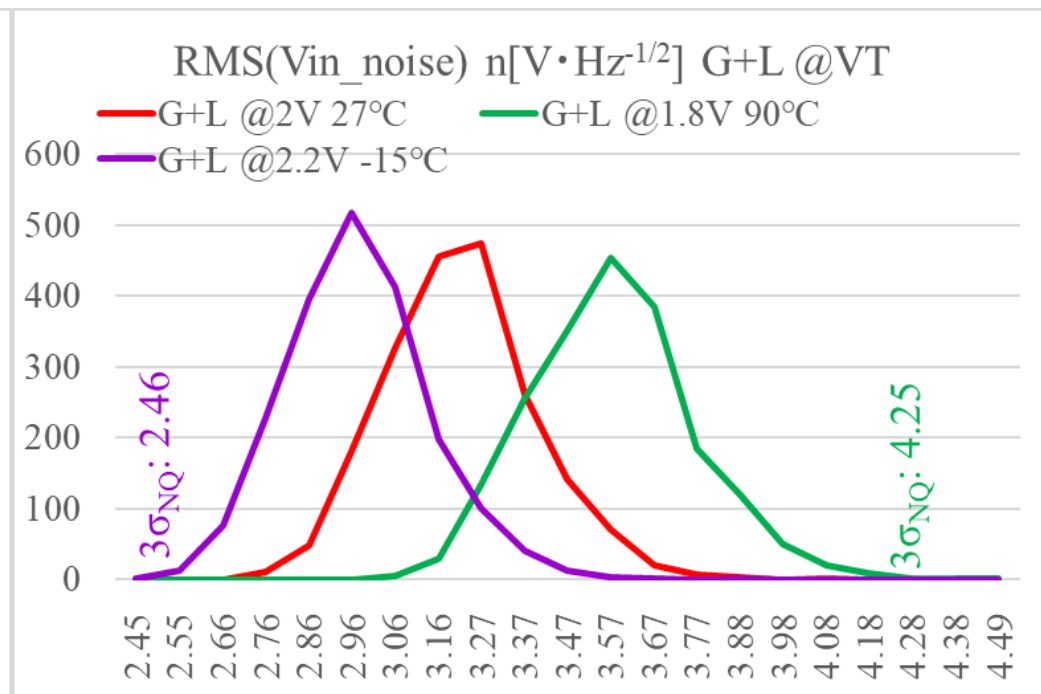
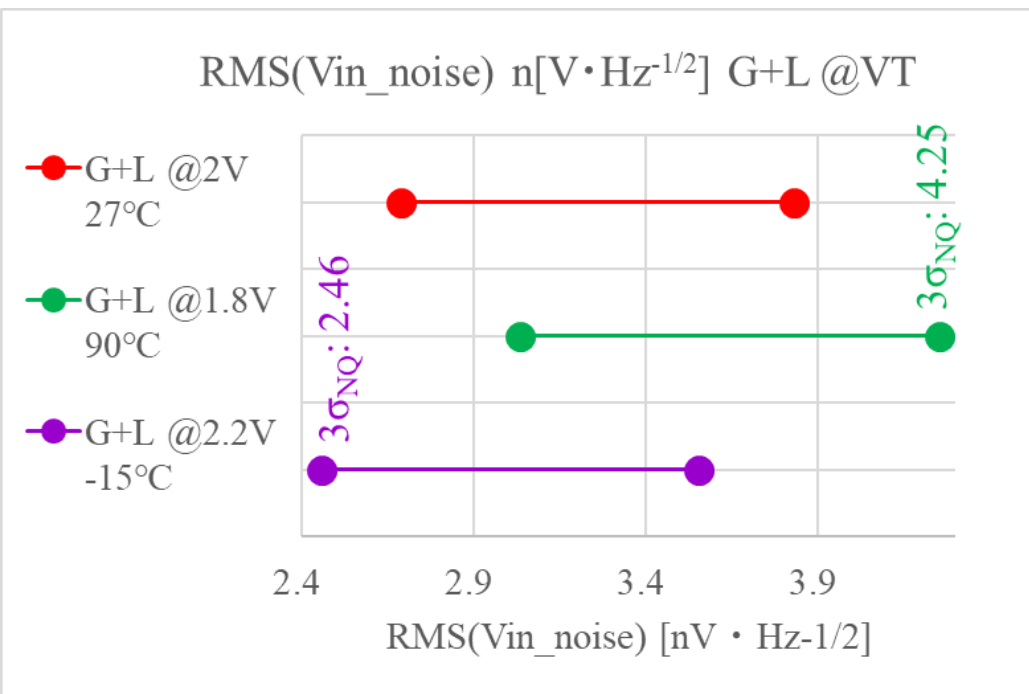
5. OPアンプ ノイズ解析





5. OPアンプ ノイズ解析 RMS(Vin) G + L @VT

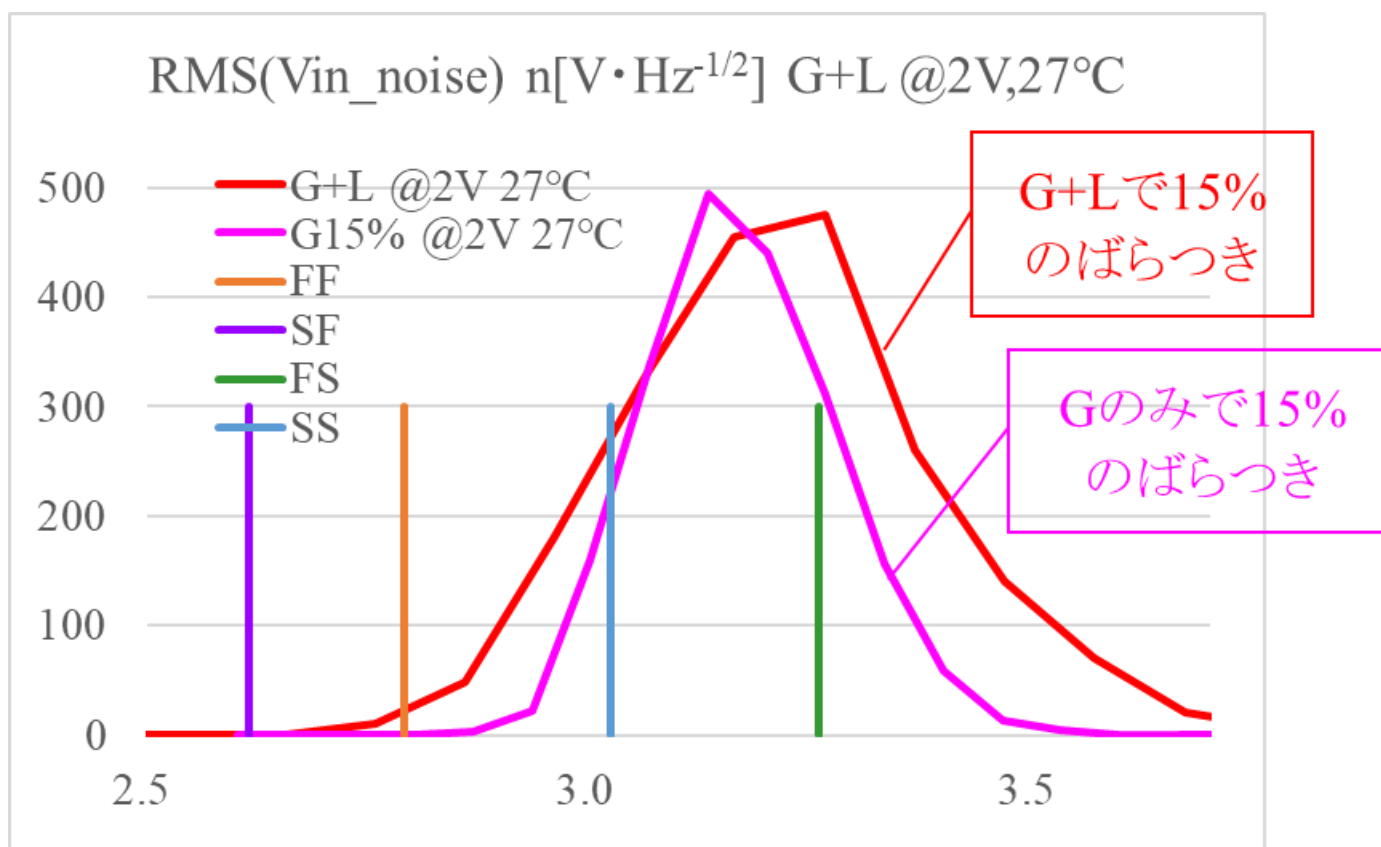
- MOS単体では **Fast: 2.2V -15°C**、**Slow: 1.8V 90°C** という結論。
- MOSの駆動能力が高い方がノイズが小さいと言えそう。





5. OPアンプ ノイズ解析 RMS(Vin) @2V,27°C

- 保守的 **SFコーナ**以外は意味をなしていない。
- Global 15% よりも G+L (各10.6%) の方が広がりが大きい。Localばらつきの影響大と分かる。





6. アナログサインオフフロー提案



6. アナログ用コーナーMOSモデルの生成

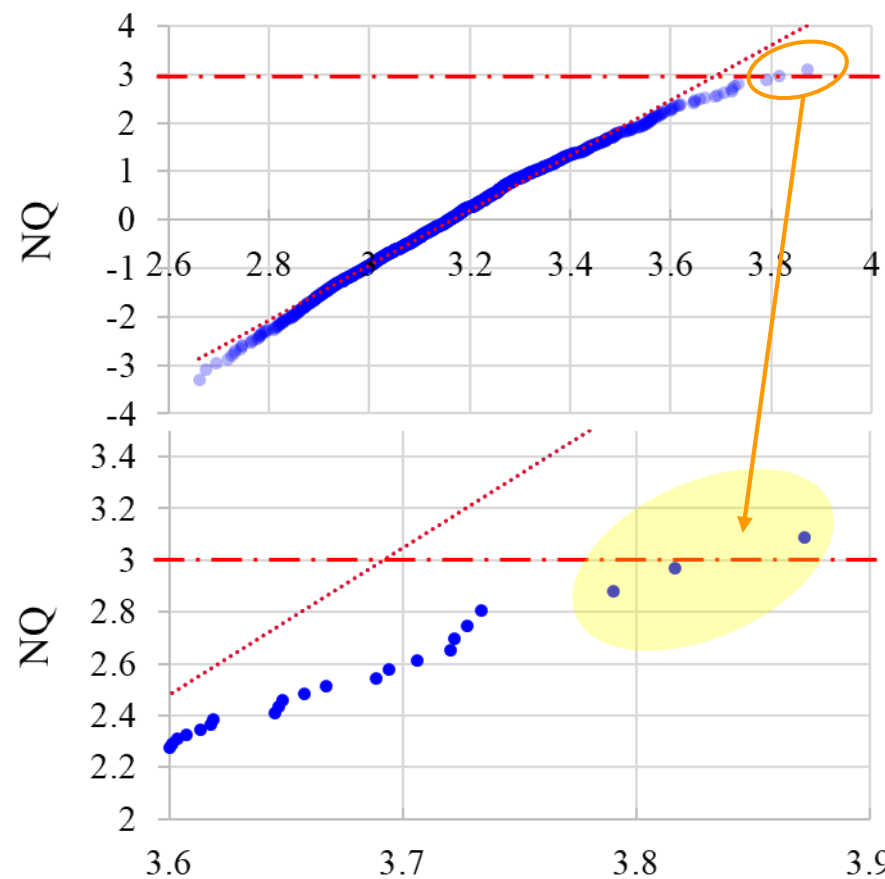
1. 数百MCで全体像を掴む
2. $3\sigma_{NQ}$ 相当周辺を詳細にSim追加
3. $3\sigma_{NQ}$ 周辺のMOSパラメータ値を補間して $3\sigma_{NQ}$ モデルを作成。
4. まだ設計が完全には固まっていない段階なのでほどほどの精度でOK。

F/S コーナーではなく
回路特性毎に $3\sigma_{NQ}$ コーナー
を生成してコーナー設計を行う

各種 3σ 値とスペック

相当する
MOSモデル
パラメータを
生成する

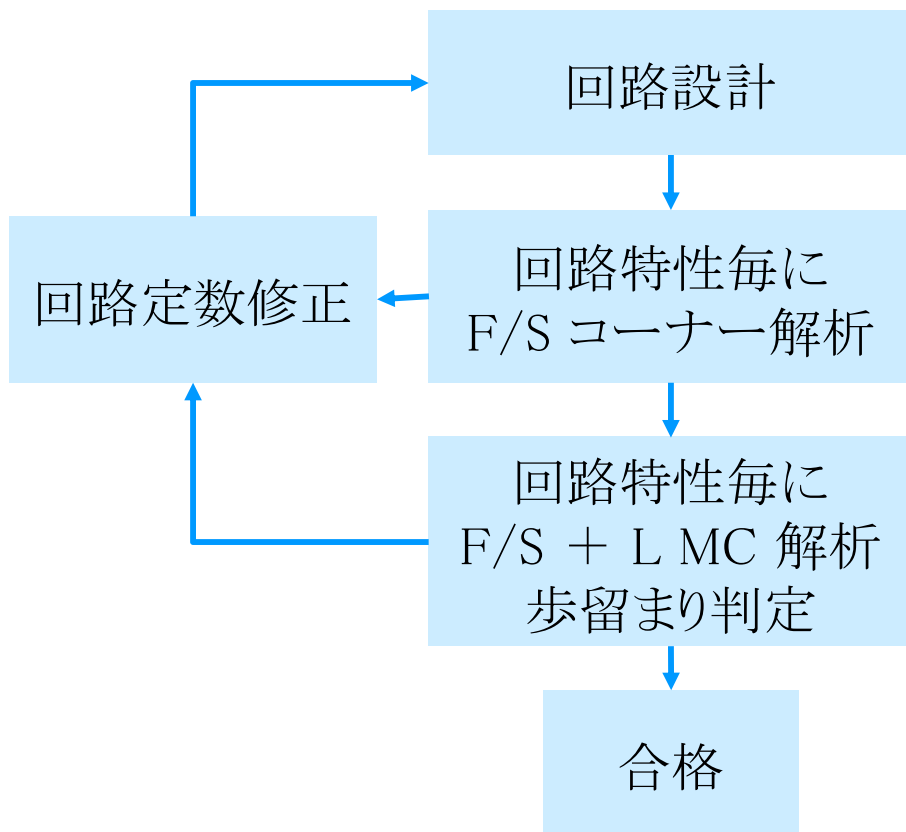
- $3\sigma_{NQ+}$
- $3\sigma_{STD+}$
- $+3\sigma_{STD}$
- · - Spec.





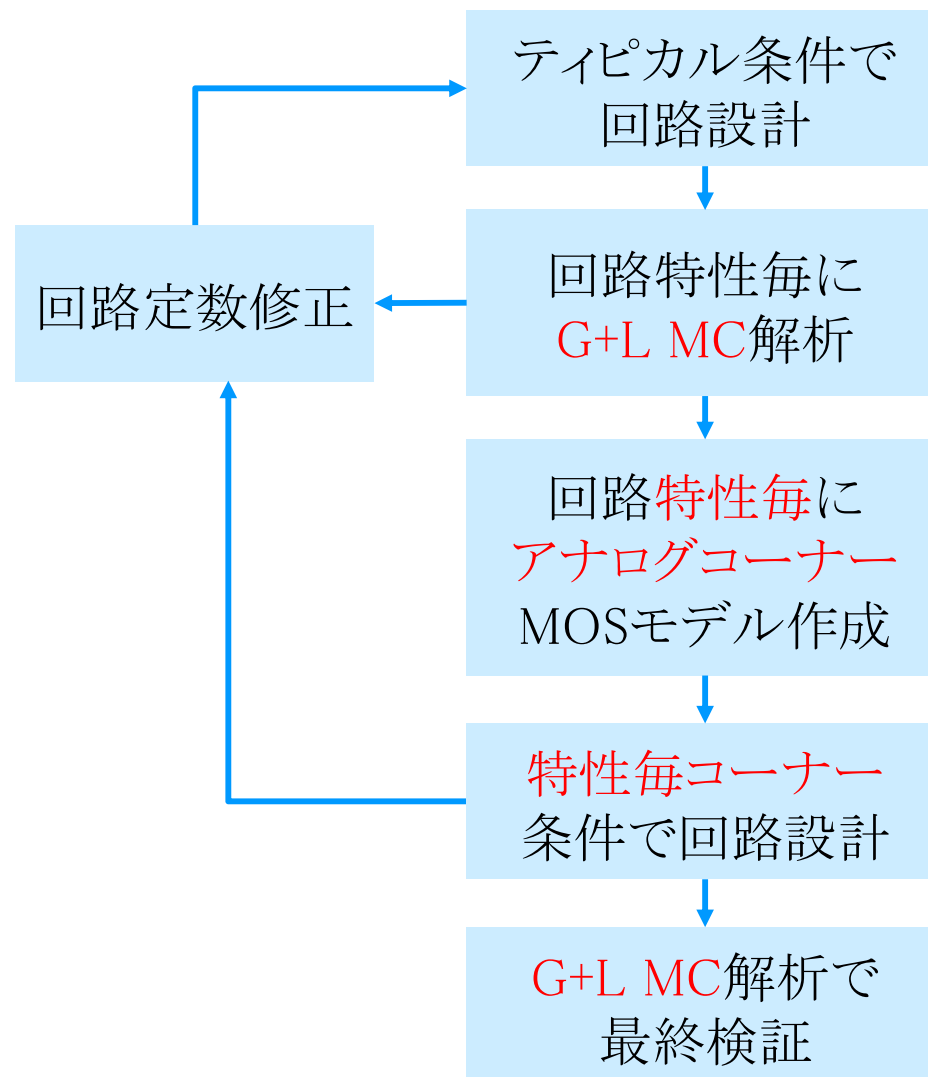
6. アナログばらつき解析フロー提案

従来フロー



F/S=(SS, SF, FS, FF)

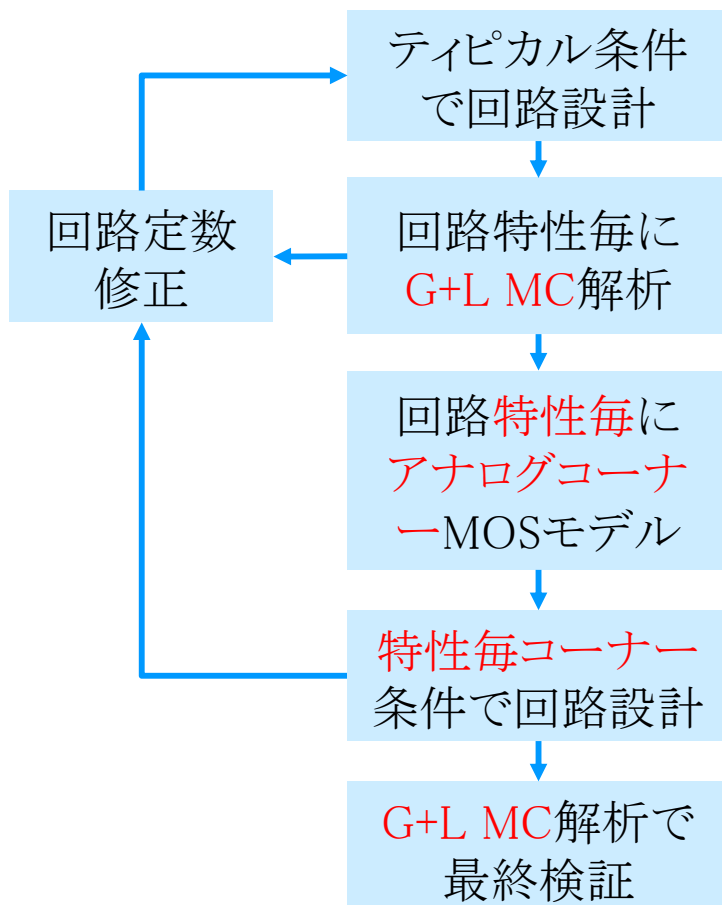
提案フロー





6. アナログばらつき解析フロー提案

提案フロー



シミュレーション回数の見積もり

設計ステップ	従来手法	提案手法	MC Sim回数
ティピカル設計	同じ		0
コーナー生成	しない	G+L でコーナーモデル生成	特性毎 MC 数百回増加
特性解析	F/S コーナー	個別コーナー	0
歩留まり判定	F/S + L MC	G + L MC	2000回×4 から 2000回に減



7. まとめ

- アナログ回路のサインオフ検証には、デジタルでの考え方が継承されFast, Slow コーナーによる検証が行われている事が多い。これらは FF, FS, SF, SS であり、またMC解析は FF+L、FS+L、SF+L、SS+L となる。
- しかしながら本稿で示したように、差動動作を基本としているアナログ回路においては Fast、Slow コーナーはあまり意味が無く、またMC解析もグローバルばらつきよりもローカルばらつきが重要である。そこで今後のアナログ設計のサインオフ検証フローを提案した。特に検証Sim回数が増える事はない。
- 本発表では非常に基本的な LTspice + EXCELでの実験例を示したが、市販ツールにはもっと賢い物があり実験計画法や高シグマ、コーナー + MC同時解析等があるので利用されると良い。



付録



御講演時間(30分(講演25分、質問5分)か60分(講演50分、質問10分))、
どのようなお話しを頂けるか、仮仮のタイトルを佐藤宛にメールで送付頂く

- 2020年1月30-31日 @機械振興会館
- 講演時間 60分
- タイトル

MOSアナログLSI回路のサインオフ検証の適正化

概要

MOSアナログ回路の設計歩留まりを保証するためのサインオフ検証ではデジタル回路のサインオフとは異なる検証方法が必要な事は以前から知られている. 特にデジタルで使われる Fast/Slow というドレイン電流 I_{ds} の Max/Min だけに着目した基準では正しい検証が出来ない. しかしながら, 設計現場ではデジタルと同じ考えでの検証方法が伝統的に使い続けられていて, 検証が正しく出来ていないため, 結果的にオーバースペック, アンダースペックの問題を起こしていると推測される. この講演ではその問題点を再確認しあるべき検証の姿を示す. アナログ設計検証改善への一石となることを願っております.

御発表は頂いた内容では是非御願いたいのですが、
実は、1月の研究会は学生セッションが予定されていて学生の聴講者が多数予想され、
また学生以外の出席者も必ずしも回路設計および半導体設計を専門としていない者もいるため、
出来ましたら概要的な話(バラツキ、サインオフ、Fast/Slowとはなにかなど)を含めて頂けると助かります。



- 2020年1月30-31日 @機械振興会館
- 講演時間 60分
- タイトル

MOSアナログLSI回路のサインオフ検証の適正化

A Proposal of MOS LSI Analog Sign-Off Verification.

- 概要

MOSアナログ回路の設計歩留まりを保証するためのサインオフ検証ではデジタル回路のサインオフとは異なる検証方法が必要な事は以前から知られている。特にデジタルで使われる Fast/Slow というドレイン電流 I_{ds} の Max/Min だけに着目した基準では正しい検証が出来ない。しかしながら、設計現場ではデジタルと同じ考えでの検証方法が伝統的に使い続けられていて、検証が正しく出来ていないため、結果的にオーバースペック、アンダースペックの問題を起こしていると推測される。この講演ではその問題点を再確認しあるべき検証の姿を示す。アナログ設計検証改善への一石となることを願っております。

- In analog MOS circuit sign-off verification to guarantee design yield, it is well known that analog oriented methodology is mandatory, different from digital sign-off. Especially, Fast/Slow digital metric considering only Max/Min of I_{ds} , drain current, is not good enough for analog. However, in analog design, the traditional sign-off methodology based on digital is still widely used, therefore analog sign-off sometimes has some problems such as over-spec or under-spec. In this presentation, I will show the drawbacks of digital sign-off and the recommended analog sign-off flow. I hope this will make a turning point to improve analog design verification.



キーワード

MOSアナログ回路, サインオフ, Fast/Slowコーナー, 設計歩留まり, モンテカルロ解析

Keywords

MOS Analog Circuit, Sign-off, Fast/Slow Corner, Design Yield, Monte Carlo Analysis



2. 信頼区間 Confidence Interval

- 真の確率密度分布再現には無限個のサンプルが必要だが、実際には有限個で推定しなければならない。
- そこでサンプルから得られた統計値(平均 μ 等)の精度評価が必要。
- 一般的に95%信頼区間という考え方が使われる。
- 下の式でサンプルから求めた統計値の精度を知ることが出来る

入れなくても良い？

標本平均 \bar{x} と真の平均 μ の差を分散 σ^2 とサンプル数 n で標準化
この差は中心極限定理により標準正規分布 $N(0,1)$ となる

$$(\bar{x} - \mu) / \sqrt{\sigma^2 / n}$$

すると95%信頼区間としての μ の範囲は正規分布表から

$$\bar{x} - 1.96\sqrt{\sigma^2 / n} \leq \mu \leq \bar{x} + 1.96\sqrt{\sigma^2 / n}$$

と計算できる。

95%に相当するNQ値

NQ値と%確率=歩留まり

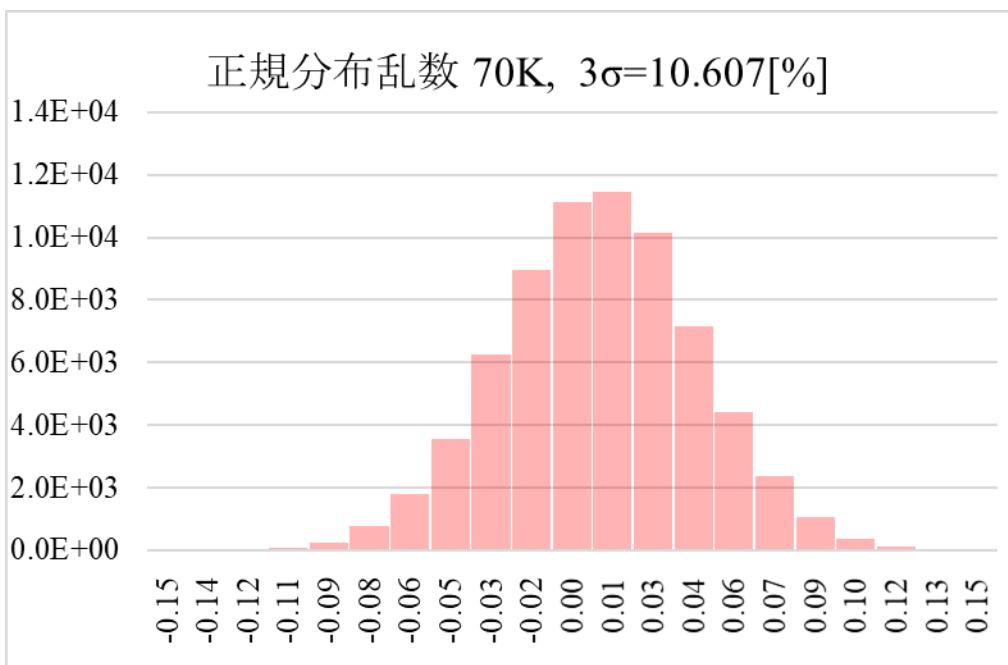
NQ	Percentile
1	84.1344746069%
2	97.7249868052%



2. 信頼区間 Confidence Interval

- 信頼区間 95% と言うと、「歩留まりに5%も誤差が出るのか」と短絡的に捉える方がおられますが、そうではないです。
- 以下の例は70K点の乱数に対して、95%信頼区間を求めている。
- 信頼区間は ± 0.000263 で、 $3\sigma_{STD}$ も同程度ブレるとした場合、歩留まりのブレは $\pm 0.003\%$ に過ぎない。

入れなくても良い？



項目	設定値	測定値
μ	0	2.00E-04
σ_{STD}	0.035357	0.0354719
$3\sigma_{STD}$	0.10607	0.1064156
#Sample	—	70000
Confidence Interval	—	0.000263

95% 信頼区間		歩留まり	不良率
$3\sigma_{STD}-CI$	0.106153	99.859%	0.141%
$3\sigma_{STD}$	0.106416	99.862%	0.138%
$3\sigma_{STD}+CI$	0.106678	99.866%	0.134%

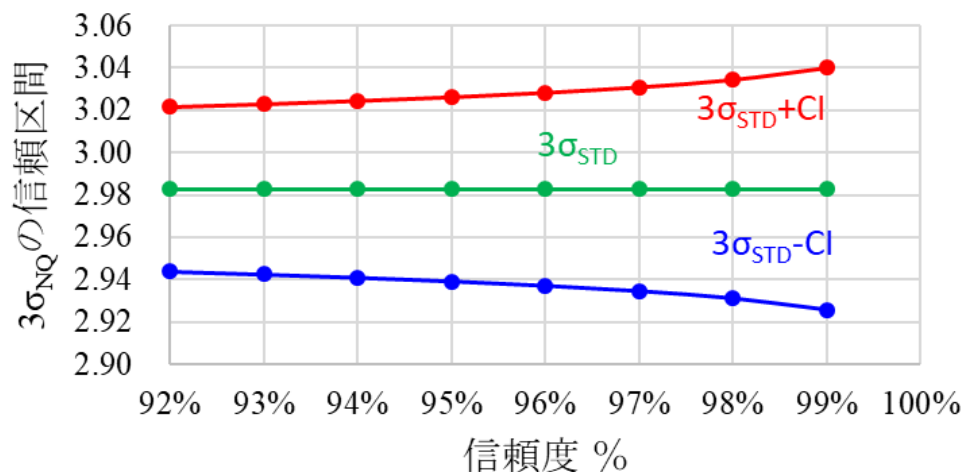


2. 信頼度% 対 信頼区間

- 95%以外のX%での信頼区間の例
 - ✓ 前項の分布に適用
 - ✓ 通常95%信頼区間を用いるが、信頼度を変えても極端には変化しない

入れなくても
も良い？

信頼度 % : $3\sigma_{NQ}$ 信頼区間



信頼度 % : $3\sigma_{NQ}$ 信頼区間の%歩留まり

