



## 半導体メモリの基礎と最新技術動向

サクセス インターナショナル株式会社

<https://www.success-int.co.jp/>

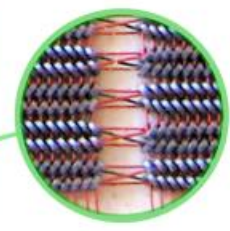
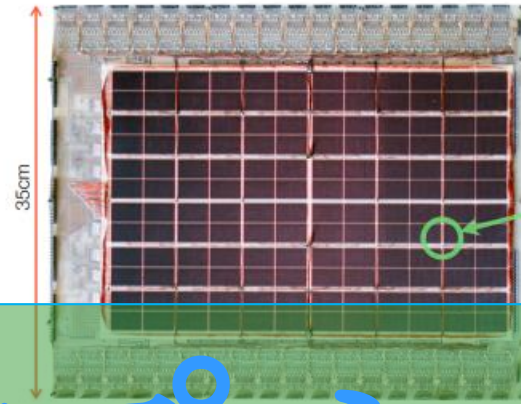
LSI設計技術部長: 小川 公裕

Ogawa-Kimihiro@success-int.co.jp

<https://www.success-int.co.jp/ogawa-kimihiro/>

### 磁気コアメモリ(1955~80年代)

- 磁気コアメモリは、小さなドーナツ状のフェライトコアを磁化させることにより情報を記憶させる主記憶装置。コンピュータの黎明期に多用された。



入社した頃はこれでした。



磁石

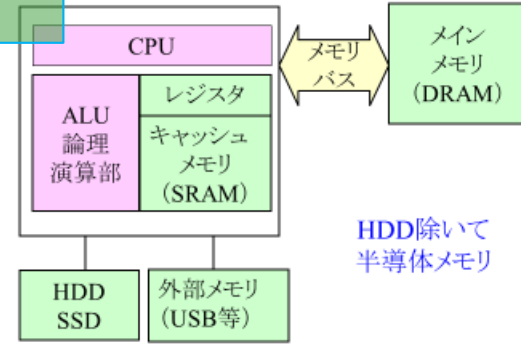
64Kbits x (32+4 post) lines CORE memory plane, CDC (AMPEX, 1981)

## 目次

	Page		Page
1. メモリとは	004	4. 3D-NAND BiCS	054
1. メモリ技術の変遷	005	5. 3D-NAND の大容量化	060
2. 半導体メモリの基礎知識と技術トレンド	016	6. 3D-NAND の市場の状況	065
1. はじめに	017	5. その他の半導体メモリへしくみ・特徴・現状等～	070
1. 日本の半導体の位置付	018	1. ROM	071
2. 計算機メモリの構成・使い分け	020	2. FeRAM	072
3. 半導体メモリの種類	022	3. MRAM	073
4. 揮発性と不揮発性	024	4. STT MRAM	074
5. メモリの集積度の推移	025	5. PRAM	075
2. SRAM	026	6. ReRAM	076
1. SRAMの基本構造	027	7. 最近の動向	079
2. SRAMの特徴・長短所等	028	3. 半導体業界動向および半導体メモリの位置付け・要請事項	080
3. SRAM センズアンブ	031	1. 半導体メモリ市場の動向・行方	081
3. DRAM	032	2. AIチップの動向	083
1. DRAMの基本構造	035	3. 自動運転におけるLSIの使い分け	087
2. DRAMの特徴・長短所等	037	4. 半導体産業動向	088
3. 複数チップの3次元実装	042	5G, WAN, データセンター, IoT	
4. 速度向上策	043	4. メモリーの設計技術	094
5. バンド幅	045	1. メモリーの回路シミュレーション	095
6. DRAMの展開	047	2. メモリ BIST	102
～RDRAM, pSRAM, 擬似 SRAM等		3. SRAM ジェネレータ	106
4. フラッシュメモリ	049	4. DRAM 特性予測	115
1. フラッシュメモリの基本構造・種類	050	質疑応答	121
2. NORフラッシュメモリ	051	最後に	122
3. NAND フラッシュメモリ	052	5. 付録1 埋込メモリの動向	123
		6. 付録2 DMW2021から	127

## 2.1.2 計算機メモリの構成・使い分け

- 速度/コスト/容量/消費電力/耐久性/サイズ等のトレードオフで様々なメモリ装置が使い分けられている
- メインメモリ: プログラムやデータを一時的に蓄えておくCPUの命令で直接アクセスできる装置
- レジスタ: 演算や実行状態の保持に用いる最高速な記憶装置
- キャッシュメモリ: 高速メモリで使用頻度の高いデータを蓄積して低速なメインメモリへのアクセスを減らす
- HDD, SSD: 保存用大容量メモリ。SSDの方が高速で耐久性が高いため、低価格化と共に置き代わりつつある

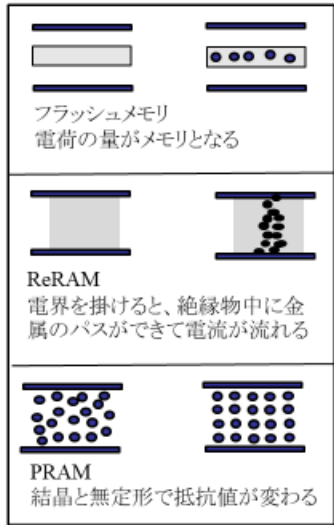


CPU: Central Processing Unit  
 ALU: Arithmetic and Logic Unit  
 DRAM: Dynamic Random Access Memory  
 SRAM: Static Random Access Memory  
 HDD: Hard Disk Drive  
 SSD: Solid State Drive  
 USB: Universal Serial Bus

HDD除いて半導体メモリ



## 2.1.4 揮発性と不揮発性



半導体メモリに揮発性と不揮発性がある。

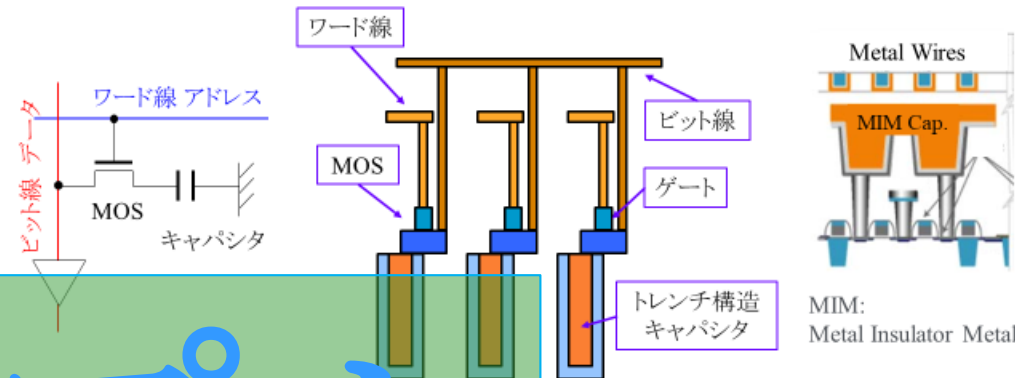
揮発性は電源を切ると記憶が消えてしまうメモリで、DRAM, SRAMが代表的なものである。通常の半導体回路は電源を切れば情報は消えてしまうから揮発性である。

不揮発性は電源を切っても記憶が消えないメモリ。フラッシュメモリはその代表であるが、ReRAM (Resistive RAM)、PRAM (Phase Change RAM)、FeRAM (Ferroelectric RAM)、MRAM (Magnetic RAM)、マスクROMなどがある。不揮発性メモリは、一度変化するとその後自然には半永久的に固定される物理現象を利用している。

## 2.3.1 DRAMの基本構造



- 中下図 トレンチ構造の場合のDRAMの縦構造模式図
- 右下図 キャパシタを基板(下層)ではなく配線側(上層側)に作る場合もある

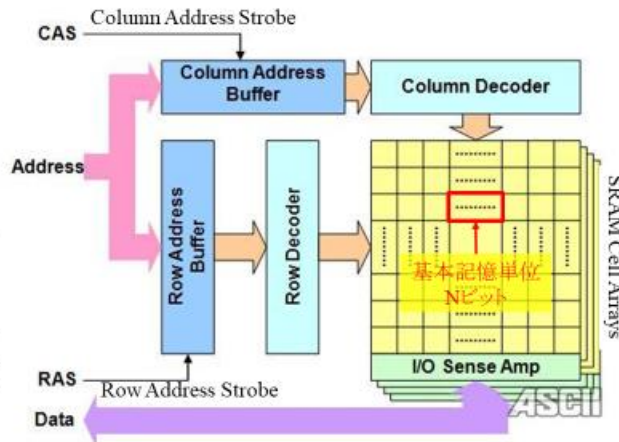


# サンプラ

## 2.1.1 SRAMの基本構造

SRAMセルのアレイに対して Row(行)アドレスとColumn(列)の組合せで必要なデータを読み書きする。

- 読み出し手順
- CPUからアドレス線(Address)にRowアドレスを渡す
  - 「Row Address Buffer」→「Row Decoder」で目的のRowをアクティブに。
  - CPUからColumnアドレスを渡す。
  - 「Column Address Buffer」→「Column Decoder」でColumnをアクティブに。
  - Row/Column両方アクティブのセルの内容を、「I/O Sense Amp」で読む。
  - データをデータ線(Data)に送る。



## 2.3.3 複数チップの3次元実装

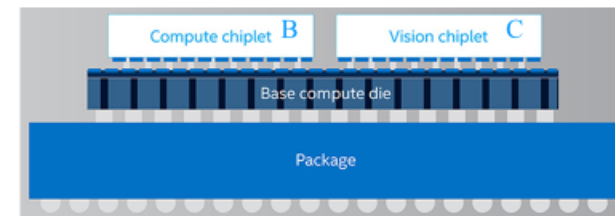
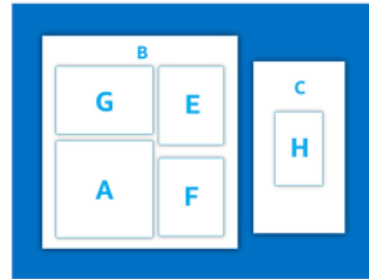
最近の傾向 Intelの3次元積層技術 **Foveros SiP**

混在プロセス ⇒ 3次元実装

- プロセスの複雑化回避
- 異なる世代の混在

前項のEmbedded DRAMを使って1チップ高速化する手法も複数のゲームチップやマイクロプロセッサで実用化されたが、現在は機能の(製造プロセスも)異なる複数のチップを3次元実装して、SiP (System in Package) として作り上げる方向に向かっている。

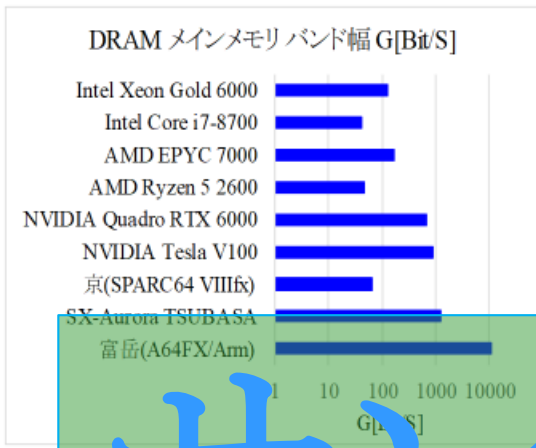
- A High Density Memory
- B Low Power Logic
- C Power Regulator
- D Sensor
- E High Speed Memory
- F High Performance Logic
- G Radio 無線
- H Photonics 光デバイス
- Chiplet チップ複合体



## 2.3.5 バンド幅

- バンド幅＝DRAMメインメモリのデータ転送速度を計る指標  
メモリクロック周波数 × バス幅 × チャンネル数
- 以下、代表的な製品のバンド幅を示す

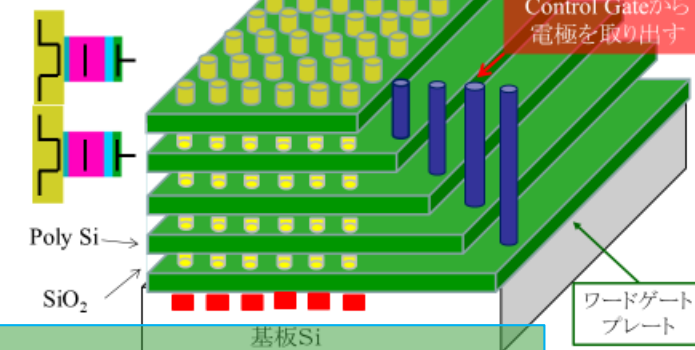
**HBM: High Bandwidth Memory** (次項)  
グラフィック用縦積みDRAM規格。  
**SX-Aurora TSUBASA**  
NECのAI・ビッグデータプラットフォーム



CPU/GPU	メモリ	バンド幅 [Bit/S]
Intel Xeon Gold 6000	DDR4	128G
Intel Core i7-8700	DDR4	42G
AMD EPYC 7000	DDR4	170G
AMD Ryzen 5 2600	DDR4	46G
NVIDIA Quadro RTX 6000	GDDR6	672G
NVIDIA Tesla V100	HBM2	900G
京(SPARC64 VIII6)	DDR3	64G
SX-Aurora TSUBASA	HBM2	1.22T
富岳(A64FX/Arm)	HBM2	11T

## 2.4.4 3D-NAND BiCS

数億個のホールをエッチングで開け、チャージトラップ構造を埋め込む。



Poly Si/SiO<sub>2</sub>ペアを32層(それ以上もある)をCVDで積む。縦にホールを開け、内部にトランジスタを作り込む。

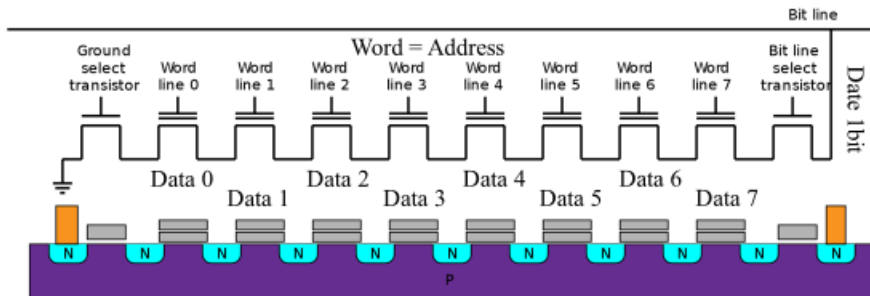
BiCS: Bit Cost Scalable

**Kioxia BiCS:**  
従来の2次元NANDフラッシュメモリーは、15nm以下の微細化が困難で集積度が上がらない。左図のようにゲート電極となるポリシリコンを多数層積んで、縦にホールを開けてその内面にチャージトラップ型のトランジスタを作製すれば微細化が不要で集積度が上げられる。Tビットのメモリー素子の生産開始が発表されている。

**CVD: Chemical Vapor Deposition**, 化学蒸着

## 2.4.3 NANDフラッシュメモリ

- NOR型に比べて書き込みは高速、高集積化に有利
- データストレージ用。携帯電話、デジタルカメラ、デジタルオーディオプレーヤーなどの記憶媒体として広く普及し価格も低下している。
- 対象アドレス以外のゲートを全て ON にすれば、対象アドレスのフローティングゲートのデータが出力に現れる。
- 世界シェア 2020年第1四半期
  - ✓ 1位 サムスン 33%、2位 キオクシア 19%、3位 ウェスタンデジタル 15%
  - 4位 マイクロン11%、5位 SKハイニックス 10%、6位 インテル 9.7%



## 2.4.5 3D-NAND の大容量化

Kioxia-Western Digital の3D NANDフラッシュ技術推移

技術世代名称	ワード線の積層数	多値化方式 (nbit/セル)	シリコンダイの記憶容量	シリコンダイ面積	発表年月
BiCS1	24層	MLC (2bit/セル)	不明	不明	2012年2月 (SanDisk アナリスト向け説明会)
BiCS2	48層	MLCと TLC	128Gbit(MLC)と 256Gbit(TLC)	不明	2015年8月 (FMS)
BiCS3	64層	TLC (3bit/セル)	256Gbitと 512Gbit(TLC)	132mm <sup>2</sup> (512Gbit, ISSCC 2017)	2016年8月 (FMS) 2017年2月 (ISSCC)
BiCS4	96層	TLC (3bit/セル)	256Gbitと 512Gbit(TLC)	86.1mm <sup>2</sup> (512Gbit, ISSCC 2018)	2017年6月 (リリース) 2017年8月 (FMS) 2018年2月 (ISSCC)
		QLC (4bit/セル)	1.33Tbit	158.4mm <sup>2</sup> (ISSCC 2019)	2018年7月 (リリース) 2018年8月 (FMS) 2019年2月 (ISSCC)
BiCS5	128層	TLC (3bit/セル)	512Gbit	66mm <sup>2</sup> (ISSCC 2019)	2019年2月 (ISSCC)
BiCS6	162層 発表は170層	発表はTLC (3bit/セル)	発表は1Tbyte	98mm <sup>2</sup> (ISSCC 2021)	2021年2月 (ISSCC)

## 2.4.6 3D-NANDの市場の状況

- Samsungが世界1位、Kioxiaが2位 (Western Digital と併せると肉薄)
- 不揮発性メモリの市場規模は、2020年の543億米ドルから2025にはCAGR9.0%で成長し836億米ドルに達すると予測



## 3.2 AIチップの動向

### 既存チップ進化型

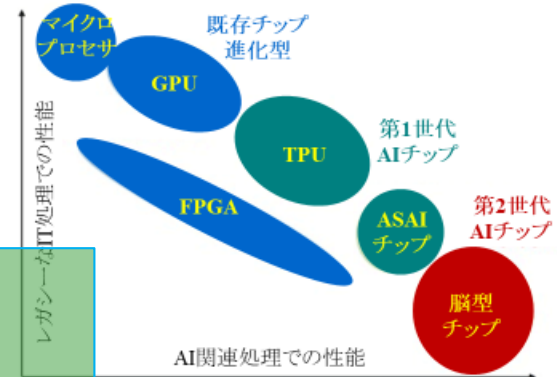
マイクロプロセッサやGPU、FPGAをよりAI処理向きに進化。Intel、NVIDIA、Qualcomm等。

### 第1世代AIチップ

AI関連処理にチップの内部構成を最適化させたASAIチップ。ニューラルネットワーク内での演算処理には、推論処理では8ビット整数など低精度データの積和演算、学習処理では16/32ビットの浮動小数点など高精度データの積和演算を大量に実行。Google、富士通、MobileEye等。

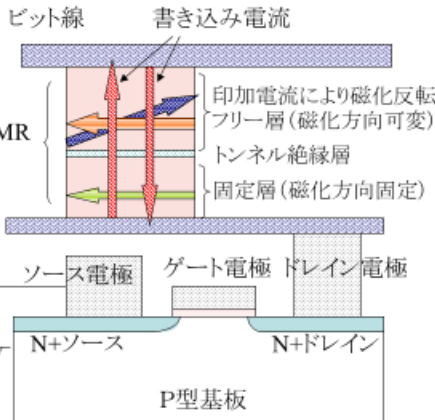
### 第2世代AIチップ

ニューラルネットワークの機能と構造をハードウェアで模した脳型チップ。前述の2つの系統はプロセッサで演算実行のたびに命令と対象データを読み込み、演算後にメモリに結果を書き込むノイマン型コンピュータである。対して、これは演算機能をハードウェア化した非ノイマン型。IBM、NEC、ベンチャー企業、大学等。



## 2.5.4 STT-MRAM

磁気方向が逆だと高抵抗になる



### STT(Spin Transfer Torque)-MRAM

Spin InjectionというTMR (Tunneling Magneto Resistance) 素子を貫通する電流によってフリー層の磁化を反転するMRAMの開発、実用化が活発化している。図で上から下へ電流が注入される場合はフリー層の磁場が固定層の磁場と平行になり、トンネル電気抵抗は低い0 逆は高い1になり記憶素子となる。書き込み時にワード線電流が不要でワード線電流による磁場漏洩がなく微細化限界も緩和される。(数十分の1) 電子が強磁性体(フリー層)に注入されると角運動量を受け取り、Spinの反転をもたらす。図の上から下への電流は反平行から平行へ下から上は逆。

## 4.1 メモリーの回路シミュレーション

- 理想的には高精度な PureSpice で全体を検証したいが、数10万MOS程度が実用的限界で巨大なメモリ回路に対しては非力。
- 現実には PureSpice、FastSpice、Mix-Signal Sim、VerilogA 等を組み合わせて精度/Sim時間のトレードオフを見ながら選択する。
- 右図では Analog Active (アナログ精度で動作検証)、Analog Passive (アナログ精度で負荷検証)、Digital (ロジック精度=タイミング検証) に大まかに色分けしているが、当然これは検証目的、必要精度に応じて判断が変わる。
- 特に電源やグラウンドの電位変動を問題にする場合、精度設定は難しくなる。

